

日本国特許庁  
JAPAN PATENT OFFICE

JC979 U.S.9.17  
12/27/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年12月28日

出願番号

Application Number:

特願2000-401710

出願人

Applicant(s):

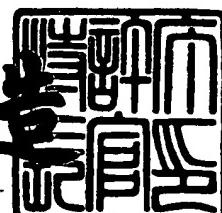
ソニー株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年11月 9日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3098260

【書類名】 特許願

【整理番号】 9900866902

【提出日】 平成12年12月28日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H04N 7/64

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

【氏名】 杉山 晃

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

【氏名】 富樫 治夫

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

【氏名】 藤堂 晋

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

【氏名】 松本 英之

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100082762

【弁理士】

【氏名又は名称】 杉浦 正知

【電話番号】 03-3980-0339

【手数料の表示】

【予納台帳番号】 043812

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9708843

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ処理装置および方法

【特許請求の範囲】

【請求項1】 画面が所定に分割されたブロックが画面上の位置に応じて連続的な順序で伝送され、ブロックのそれぞれには画面上での位置を示す位置情報が格納されたデータストリームを処理するデータ処理装置において、

画面が所定に分割されたブロックが伝送されるデータストリームに対し、上記ブロックに格納された上記画面上での位置情報に基づき上記ブロックの順序の連続性を検出する検出手段と、

上記検出手段による検出結果に応じて上記ブロックの連続性の補正を行う補正手段と

を備えることを特徴とするデータ処理装置。

【請求項2】 請求項1に記載のデータ処理装置において、

上記データストリームは、可変長符号化されたデータストリームであって、上記検出手段による上記連続性の検出は、上記可変長符号を復号化する際に用いたことを特徴とするデータ処理装置。

【請求項3】 請求項1に記載のデータ処理装置において、

上記補正手段は、上記連続性を満たすような位置情報を有する所定のブロックを用いて上記補正を行うことを特徴とするデータ処理装置。

【請求項4】 請求項1に記載のデータ処理装置において、

上記補正手段は、上記検出手段による検出結果が上記ブロックの上記順序が抜けていることを示すときには、該順序が抜けているブロックに対応する期間、上記データストリームを一時的に停止させて上記補正を行うようにしたことを特徴とするデータ処理装置。

【請求項5】 請求項1に記載のデータ処理装置において、

上記補正手段は、上記検出手段による検出結果が上記ブロックの上記順序が逆行していることを示すときには、上記順序が逆行しているブロックに続くブロックの位置情報を最速で調べ、該位置情報に基づき、正しい位置情報を有するブロックが現れるまで上記補正を繰り返し行うようにしたことを特徴とするデータ処

理装置。

【請求項6】 請求項1に記載のデータ処理装置において

少なくとも1フレーム分のデータを格納可能なフレームメモリをさらに有し、  
入力された上記データストリームのなくとも1フレーム分を上記フレームメモリに格納し、上記補正手段は、上記検出手段による検出結果が上記ブロックの上記位置情報が不連続であることを示すときには、上記フレームメモリに格納されたデータを用いて上記ブロックの位置情報の連続性の補正を行うようにしたことを特徴とするデータ処理装置。

【請求項7】 請求項6に記載のデータ処理装置において、

上記補正手段は、上記検出手段による検出結果が上記ブロックの上記順序が抜けていることを示すときには、上記フレームメモリに格納された1フレーム前の、上記順序が抜けた上記ブロックに対応するブロックのデータを用いて上記補正を行うことを特徴とするデータ処理装置。

【請求項8】 請求項6に記載のデータ処理装置において、

上記補正手段は、上記検出手段による検出結果が上記ブロックの上記順序が入れ替わっていることを示すときには、上記フレームメモリのアドレス制御を行うことで上記ブロックの上記順序を正しい順序にして、上記補正を行うようにしたことを特徴とするデータ処理装置。

【請求項9】 画面が所定に分割されたブロックが画面上の位置に応じて連続的な順序で伝送され、ブロックのそれぞれには画面上での位置を示す位置情報が格納されたデータストリームを処理するデータ処理方法において、

画面が所定に分割されたブロックが伝送されるデータストリームに対し、上記ブロックに格納された上記画面上での位置情報に基づき上記ブロックの順序の連続性を検出する検出のステップと、

上記検出のステップによる検出結果に応じて上記ブロックの連続性の補正を行う補正のステップと  
を備えることを特徴とするデータ処理方法。

【発明の詳細な説明】

【0001】

## 【発明の属する技術分野】

この発明は、画面を所定サイズに分割したマクロブロック単位で圧縮符号化されたデータストリームを安定的に処理できるようにしたデータ処理装置および方法に関する。

## 【0002】

## 【従来の技術】

近年では、デジタルビデオ信号を圧縮符号化する方式として、MPEG (Moving Pictures Experts Group)と称される符号化方式が広く用いられている。MPEG 2は、DCT (Discrete Cosine Transform)と予測符号化を用いた動画圧縮の規格である。1フレーム分の画像データを所定サイズのマクロブロックに分割し、マクロブロック単位で動きベクトルを用いて予測符号化され、マクロブロックがさらに分割されたDCTブロック単位でDCTが行われ、可変長符号化される。現状では、より拡張性が高く高画質が得られるようにされたMPEG 2が主流となっている。

## 【0003】

MPEG 2のデータは、階層構造を有するデータストリームからなる。階層は、上位からシーケンス層、GOP (Group Of Picture)層、ピクチャ層、スライス層、マクロブロック層となっており、各層は、それぞれ1以上の下位構造を含む。各層は、それぞれヘッダ部を有する。また、マクロブロック層を除く各層には、ヘッダ部に先んじてスタートコードが配される。

## 【0004】

マクロブロックは、16画素×16画素からなるブロックであり、1以上のマクロブロックで1スライスが構成される。一方、1ピクチャは、1画面に対応し、スライスは、ピクチャを跨ることができない。また、スライスヘッダは、画面の左端には必ず来るようになる。スライススタートコードには、当該スライスの垂直方向の位置情報が含まれ、スライスヘッダには、拡張されたスライス垂直位置情報や量子化スケール情報などが格納される。

## 【0005】

また、MPEG 2においては、時系列方向に予測符号化を行ったB (Bidirecti

onally)ピクチャおよびP(Predictive)ピクチャと、1画面(1フレーム)で完結するI(Intra)ピクチャとが定義されている。P、Bピクチャは、時間的に前あるいは前後のピクチャを必要とする。編集単位を1フレーム単位にするためには、Iピクチャのみで構成するのが好ましい。

#### 【0006】

##### 【発明が解決しようとする課題】

図32は、625／50方式における一例のマクロブロックアドレスを示す。図32Aは、マクロブロックの画面上での一例の配列を示す。1画面が縦38個×横45個のマクロブロックに分割される。図32Aにおいて、各ブロック内の表示(y y, x x)は、マクロブロックのアドレスであって、各ブロックの画面内での位置を、(縦方向位置, 横方向位置)でそれぞれ示す。上述したIピクチャで構成されるMPEGストリームは、これらのマクロブロックを順序正しく、且つ、全てのマクロブロックを伝送しなければならないとされている。

#### 【0007】

すなわち、1画面上のマクロブロックの配置が図32Aのようになっている場合、Iピクチャが伝送されるデータストリームにおいて、例えば図32Aの斜線部に関しては、図32Bに一例が示されるように、(2, 41)、(2, 42)、(2, 43)、(2, 44)、(3, 0)、(3, 1)、(3, 2)、(3, 3)・・・とマクロブロックが伝送されることが期待される。

#### 【0008】

ここで、マクロブロックの一部が何らかの理由により伝送途中などで欠落した場合を考える。例えばマクロブロック(2, 43)が欠落した場合、データストリームは、図32Cに示されるように、マクロブロック(2, 42)に続けて、マクロブロック(2, 44)が伝送され、マクロブロックアドレスが不連続となつたイレギュラーなストリームとなる。このようなイレギュラーなストリームは、MPEGの規定に反した、MPEGシンタクスエラーとなる。

#### 【0009】

マクロブロックの一部が欠落する原因としては、伝送路などにおいて、ビット反転が生じる、データストリームが途切れてしまうといった、伝送路での障害に

基づく場合が考えられる。また、伝送されるデータストリームにおいて、元々のマクロブロックアドレスが不連続とされたイレギュラーなデータストリームである場合も考えられる。

#### 【0010】

このようなイレギュラーなデータストリームがMPEGデコーダに入力されると、MPEGデコーダは、予期せぬマクロブロックアドレスが入力されてしまうことにより、ハングアップしてしまう危険性があるという問題点があった。そのため、従来では、安定的なシステムを実現することが難しかったという問題点があった。

#### 【0011】

したがって、この発明の目的は、MPEGストリームのIピクチャの入力の際に、マクロブロックが不連続であっても安定的に処理を行えるデータ処理装置および方法を提供することにある。

#### 【0012】

##### 【課題を解決するための手段】

この発明は、上述した課題を解決するために、画面が所定に分割されたブロックが画面上の位置に応じて連続的な順序で伝送され、ブロックのそれぞれには画面上での位置を示す位置情報が格納されたデータストリームを処理するデータ処理装置において、画面が所定に分割されたブロックが伝送されるデータストリームに対し、ブロックに格納された画面上での位置情報に基づきブロックの順序の連続性を検出する検出手段と、検出手段による検出結果に応じてブロックの連続性の補正を行う補正手段とを備えることを特徴とするデータ処理装置である。

#### 【0013】

また、この発明は、画面が所定に分割されたブロックが画面上の位置に応じて連続的な順序で伝送され、ブロックのそれぞれには画面上での位置を示す位置情報が格納されたデータストリームを処理するデータ処理方法において、画面が所定に分割されたブロックが伝送されるデータストリームに対し、ブロックに格納された画面上での位置情報に基づきブロックの順序の連続性を検出する検出のステップと、検出のステップによる検出結果に応じてブロックの連続性の補正を行

う補正のステップとを備えることを特徴とするデータ処理方法である。

#### 【0014】

上述したように、この発明は、画面が所定に分割されたブロックが伝送されるデータストリームに対し、ブロックに格納された画面上での位置情報に基づきブロックの順序の連續性を検出し、検出結果に応じてブロックの連續性を補正するようしているため、位置情報が不連續となるデータストリームが出力されることを回避できる。

#### 【0015】

##### 【発明の実施の形態】

以下、この発明をデジタルVTRに対して適用した一実施形態について説明する。この一実施形態は、放送局の環境で使用して好適なものである。

#### 【0016】

この一実施形態では、圧縮方式としては、例えばMPEG2方式が採用される。MPEG2は、動き補償予測符号化と、DCTによる圧縮符号化とを組み合わせたものである。MPEG2のデータ構造は、階層構造をなしている。図1は、一般的なMPEG2のデータストリームの階層構造を概略的に示す。図1に示されるように、データ構造は、下位から、マクロブロック層（図1E）、スライス層（図1D）、ピクチャ層（図1C）、GOP層（図1B）およびシーケンス層（図1A）となっている。

#### 【0017】

図1Eに示されるように、マクロブロック層は、DCTを行う単位であるDCTブロックからなる。マクロブロック層は、マクロブロックヘッダと複数のDCTブロックとで構成される。スライス層は、図1Dに示されるように、スライスヘッダ部と、1以上のマクロブロックより構成される。ピクチャ層は、図1Cに示されるように、ピクチャヘッダ部と、1以上のスライスとから構成される。ピクチャは、1画面に対応する。GOP層は、図1Bに示されるように、GOPヘッダ部と、フレーム内符号化に基づくピクチャであるIピクチャと、予測符号化に基づくピクチャであるPおよびBピクチャとから構成される。

#### 【0018】

Iピクチャ (Intra-coded picture : イントラ符号化画像) は、符号化されるときその画像1枚の中だけで閉じた情報を使用するものである。従って、復号時には、Iピクチャ自身の情報のみで復号できる。Pピクチャ (Predictive-coded picture : 順方向予測符号化画像) は、予測画像（差分をとる基準となる画像）として、時間的に前の既に復号されたIピクチャまたはPピクチャを使用するものである。動き補償された予測画像との差を符号化するか、差分を取らずに符号化するか、効率の良い方をマクロブロック単位で選択する。Bピクチャ (Bidirectionally predictive-coded picture : 両方向予測符号化画像) は、予測画像（差分をとる基準となる画像）として、時間的に前の既に復号されたIピクチャまたはPピクチャ、時間的に後ろの既に復号されたIピクチャまたはPピクチャ、並びにこの両方から作られた補間画像の3種類を使用する。この3種類のそれぞれの動き補償後の差分の符号化と、イントラ符号化の中で、最も効率の良いものをマクロブロック単位で選択する。

#### 【0019】

従って、マクロブロックタイプとしては、フレーム内符号化 (Intra) マクロブロックと、過去から未来を予測する順方向 (Forward) フレーム間予測マクロブロックと、未来から過去を予測する逆方向 (Backward) フレーム間予測マクロブロックと、前後両方向から予測する両方向マクロブロックとがある。Iピクチャ内の全てのマクロブロックは、フレーム内符号化マクロブロックである。また、Pピクチャ内には、フレーム内符号化マクロブロックと順方向フレーム間予測マクロブロックとが含まれる。Bピクチャ内には、上述した4種類の全てのタイプのマクロブロックが含まれる。

#### 【0020】

GOPには、最低1枚のIピクチャが含まれ、PおよびBピクチャは、存在しなくても許容される。最上層のシーケンス層は、図1Aに示されるように、シーケンスヘッダ部と複数のGOPとから構成される。

#### 【0021】

MPEGのフォーマットにおいては、スライスが1つの可変長符号系列である。可変長符号系列とは、可変長符号を正しく復号化しなければデータの境界を検

出できない系列である。

#### 【0022】

また、シーケンス層、GOP層、ピクチャ層およびスライス層の先頭には、それぞれ、バイト単位に整列された所定のビットパターンを有するスタートコードが配される。この、各層の先頭に配されるスタートコードを、シーケンス層においてはシーケンスヘッダコード、他の階層においてはスタートコードと称し、ビットパターンが [00 00 01 xx] (以下、[]による表記は、16進表記であることを示す) とされる。2桁ずつ示され、[xx] は、各層のそれぞれで異なるビットパターンが配されることを示す。

#### 【0023】

すなわち、スタートコードおよびシーケンスヘッダコードは、4バイト (= 32ビット) からなり、4バイト目の値に基づき、後に続く情報の種類を識別できる。これらスタートコードおよびシーケンスヘッダコードは、バイト単位で整列されているため、4バイトのパターンマッチングを行うだけで捕捉することができる。

#### 【0024】

さらに、スタートコードに続く1バイトの上位4ビットが、後述する拡張データ領域の内容の識別子となっている。この識別子の値により、その拡張データの内容を判別することができる。

#### 【0025】

なお、マクロブロック層およびマクロブロック内のDCTブロックには、このような、バイト単位に整列された所定のビットパターンを有する識別コードは、配されない。

#### 【0026】

各層のヘッダ部について、より詳細に説明する。図1Aに示すシーケンス層では、先頭にシーケンスヘッダ2が配され、続けて、シーケンス拡張3、拡張およびユーザデータ4が配される。シーケンスヘッダ2の先頭には、シーケンスヘッダコード1が配される。また、図示しないが、シーケンス拡張3およびユーザデータ4の先頭にも、それぞれ所定のスタートコードが配される。シーケンスヘッ

ダ2から拡張およびユーザデータ4までがシーケンス層のヘッダ部とされる。

#### 【0027】

シーケンスヘッダ2には、図2に内容と割当ビットが示されるように、シーケンスヘッダコード1、水平方向画素数および垂直方向ライン数からなる符号化画像サイズ、アスペクト比、フレームレート、ビットレート、VBV(Video Buffering Verifier)バッファサイズ、量子化マトリクスなど、シーケンス単位で設定される情報がそれぞれ所定のビット数を割り当てられて格納される。

#### 【0028】

シーケンスヘッダに続く拡張スタートコード後のシーケンス拡張3では、図3に示されるように、MPEG2で用いられるプロファイル、レベル、クロマ(色差)フォーマット、プログレッシブシーケンスなどの付加データが指定される。拡張およびユーザデータ4は、図4に示されるように、シーケンス表示()により、原信号のRGB変換特性や表示画サイズの情報を格納できると共に、シーケンススケーラブル拡張()により、スケーラビリティモードやスケーラビリティのレイヤ指定などを行うことができる。

#### 【0029】

シーケンス層のヘッダ部に続けて、GOPが配される。GOPの先頭には、図1Bに示されるように、GOPヘッダ6およびユーザデータ7が配される。GOPヘッダ6およびユーザデータ7がGOPのヘッダ部とされる。GOPヘッダ6には、図5に示されるように、GOPのスタートコード5、タイムコード、GOPの独立性や正当性を示すフラグがそれぞれ所定のビット数を割り当てられて格納される。ユーザデータ7は、図6に示されるように、拡張データおよびユーザデータを含む。図示しないが、拡張データおよびユーザデータの先頭には、それぞれ所定のスタートコードが配される。

#### 【0030】

GOP層のヘッダ部に続けて、ピクチャが配される。ピクチャの先頭には、図1Cに示されるように、ピクチャヘッダ9、ピクチャ符号化拡張10、ならびに、拡張およびユーザデータ11が配される。ピクチャヘッダ9の先頭には、ピクチャスタートコード8が配される。また、ピクチャ符号化拡張10、ならびに、

拡張およびユーザデータ11の先頭には、それぞれ所定のスタートコードが配される。ピクチャヘッダ9から拡張およびユーザデータ11までがピクチャのヘッダ部とされる。

#### 【0031】

ピクチャヘッダ9は、図7に示されるように、ピクチャスタートコード8が配されると共に、画面に関する符号化条件が設定される。ピクチャ符号化拡張10では、図8に示されるように、前後方向および水平／垂直方向の動きベクトルの範囲の指定や、ピクチャ構造の指定がなされる。また、ピクチャ符号化拡張10では、イントラマクロブロックのDC係数精度の設定、VLCタイプの選択、線型／非線型量子化スケールの選択、DCTにおけるスキャン方法の選択などが行われる。

#### 【0032】

拡張およびユーザデータ11では、図9に示されるように、量子化マトリクスの設定や、空間スケーラブルパラメータの設定などが行われる。これらの設定は、ピクチャ毎に可能となっており、各画面の特性に応じた符号化を行うことができる。また、拡張およびユーザデータ11では、ピクチャの表示領域の設定を行うことが可能となっている。さらに、拡張およびユーザデータ11では、著作権情報を設定することもできる。

#### 【0033】

ピクチャ層のヘッダ部に続けて、スライスが配される。スライスの先頭には、図1Dに示されるように、スライスヘッダ13が配され、スライスヘッド13の先頭に、スライススタートコード12が配される。図10に示されるように、スライススタートコード12は、当該スライスの垂直方向の位置情報を含む。スライスヘッダ13には、さらに、拡張されたスライス垂直位置情報や、量子化スケール情報などが格納される。

#### 【0034】

スライス層のヘッダ部に続けて、マクロブロックが配される（図1E）。マクロブロックでは、マクロブロックヘッダ14に続けて複数のDCTブロックが配される。上述したように、マクロブロックヘッダ14にはスタートコードが配さ

れない。図11に示されるように、マクロブロックヘッダ14は、マクロブロックの相対的な位置情報が格納されると共に、動き補償モードの設定、DCT符号化に関する詳細な設定などを指示する。

#### 【0035】

マクロブロックヘッダ14に続けて、DCTブロックが配される。DCTブロックは、図12に示されるように、可変長符号化されたDCT係数およびDCT係数に関するデータが格納される。

#### 【0036】

なお、図1では、各層における実線の区切りは、データがバイト単位に整列されていることを示し、点線の区切りは、データがバイト単位に整列されていないことを示す。すなわち、ピクチャ層までは、図13Aに一例が示されるように、符号の境界がバイト単位で区切られているのに対し、スライス層では、スライススタートコード12のみがバイト単位で区切られており、各マクロブロックは、図13Bに一例が示されるように、ピット単位で区切ることができる。同様に、マクロブロック層では、各DCTブロックをピット単位で区切ることができる。

#### 【0037】

一方、復号および符号化による信号の劣化を避けるためには、符号化データ上で編集することが望ましい。このとき、PピクチャおよびBピクチャは、その復号に、時間的に前のピクチャあるいは前後のピクチャを必要とする。そのため、編集単位を1フレーム単位とすることはできない。この点を考慮して、この一実施形態では、1つのGOPが1枚のIピクチャからなるようにしている。

#### 【0038】

また、例えば1フレーム分の記録データが記録される記録領域が所定のものとされる。MPEG2では、可変長符号化を用いているので、1フレーム期間に発生するデータを所定の記録領域に記録できるように、1フレーム分の発生データ量が制御される。さらに、この一実施形態では、磁気テープへの記録に適するよう、1スライスを1マクロブロックから構成すると共に、1マクロブロックを、所定長の固定枠に当てはめる。

#### 【0039】

図14は、この一実施形態におけるMPEGストリームのヘッダを具体的に示す。図1で分かるように、シーケンス層、GOP層、ピクチャ層、スライス層およびマクロブロック層のそれぞれのヘッダ部は、シーケンス層の先頭から連続的に現れる。図14は、シーケンスヘッダ部分から連続した一例のデータ配列を示している。

#### 【0040】

先頭から、12バイト分の長さを有するシーケンスヘッダ2が配され、続けて、10バイト分の長さを有するシーケンス拡張3が配される。シーケンス拡張3の次には、拡張およびユーザデータ4が配される。拡張およびユーザデータ4の先頭には、4バイト分のユーザデータスタートコードが配され、続くユーザデータ領域には、SMPTEの規格に基づく情報が格納される。

#### 【0041】

シーケンス層のヘッダ部の次は、GOP層のヘッダ部となる。8バイト分の長さを有するGOPヘッダ6が配され、続けて拡張およびユーザデータ7が配される。拡張およびユーザデータ7の先頭には、4バイト分のユーザデータスタートコードが配され、続くユーザデータ領域には、既存の他のビデオフォーマットとの互換性をとるための情報が格納される。

#### 【0042】

GOP層のヘッダ部の次は、ピクチャ層のヘッダ部となる。9バイトの長さを有するピクチャヘッダ9が配され、続けて9バイトの長さを有するピクチャ符号化拡張10が配される。ピクチャ符号化拡張10の後に、拡張およびユーザデータ11が配される。拡張およびユーザデータ11の先頭側133バイトに拡張およびユーザデータが格納され、続いて4バイトの長さを有するユーザデータスタートコード15が配される。ユーザデータスタートコード15に続けて、既存の他のビデオフォーマットとの互換性をとるための情報が格納される。さらに、ユーザデータスタートコード16が配され、ユーザデータスタートコード16に続けて、SMPTEの規格に基づくデータが格納される。ピクチャ層のヘッダ部の次は、スライスとなる。

#### 【0043】

マクロブロックについて、さらに詳細に説明する。スライス層に含まれるマクロブロックは、複数のDCTブロックの集合であり、DCTブロックの符号化系列は、量子化されたDCT係数の系列を0係数の連続回数（ラン）とその後の非0系列（レベル）を1つの単位として可変長符号化したものである。マクロブロックならびにマクロブロック内のDCTブロックには、バイト単位に整列した識別コードが付加されない。

## 【0044】

マクロブロックは、画面（ピクチャ）を16画素×16ラインの格子状に分割したものである。スライスは、例えばこのマクロブロックを水平方向に連結してなる。連続するスライスの前のスライスの最後のマクロブロックと、次のスライスの先頭のマクロブロックとは連続しており、スライス間でのマクロブロックのオーバーラップを形成することは、許されていない。また、画面のサイズが決まると、1画面当たりのマクロブロック数は、一意に決まる。

## 【0045】

画面上での垂直方向および水平方向のマクロブロック数を、それぞれmb\_heightおよびmb\_widthと称する。画面上でのマクロブロックの座標は、マクロブロックの垂直位置番号を、上端を基準に0から数えたmb\_rowと、マクロブロックの水平位置番号を、左端を基準に0から数えたmb\_columnとで表すように定められている。画面上でのマクロブロックの位置を一つの変数で表すために、マクロブロックアドレスmacroblock\_addressを、

`macroblock_address = mb_row × mb_width + mb_column.`

このように定義する。

## 【0046】

ストリーム上のスライスとマクロブロックの順は、マクロブロックアドレスmacroblock\_addressの小さい順でなければいけないと定められている。すなわち、ストリームは、画面の上から下、左から右の順に伝送される。

## 【0047】

MPEGでは、1スライスを1ストライプ（16ライン）で構成するのが普通であり、画面の左端から可変長符号化が始まり、右端で終わる。従って、VTRによってそのままMPEGエレメンタリストリームを記録した場合、高速再生時に、再生できる部分が画面の左端に集中し、均一に更新することができない。また、データのテープ上の配置を予測できないため、テープパターンを一定の間隔でトレースしたのでは、均一な画面更新ができなくなる。さらに、1箇所でもエラーが発生すると、画面右端まで影響し、次のスライスヘッダが検出されるまで復帰できない。このために、1スライスを1マクロブロックで構成するようにしている。

## 【0048】

図15は、この一実施形態による記録再生装置の構成の一例を示す。記録時には、端子100から入力されたディジタル信号がSDI (Serial Data Interface) 受信部101に供給される。SDIは、(4:2:2)コンポーネントビデオ信号とディジタルオーディオ信号と付加的データとを伝送するために、SMPTEによって規定されたインターフェイスである。SDI受信部101で、入力されたディジタル信号からディジタルビデオ信号とディジタルオーディオ信号とがそれぞれ抽出され、ディジタルビデオ信号は、MPEGエンコーダ102に供給され、ディジタルオーディオ信号は、ディレイ103を介してECCエンコーダ109に供給される。ディレイ103は、ディジタルオーディオ信号とディジタルビデオ信号との時間差を解消するためのものである。

## 【0049】

また、SDI受信部101では、入力されたディジタル信号から同期信号を抽出し、抽出された同期信号をタイミングジェネレータ104に供給する。タイミングジェネレータ104には、端子105から外部同期信号を入力することもできる。タイミングジェネレータ104では、入力されたこれらの同期信号および後述するSDTI受信部108から供給される同期信号のうち、指定された信号に基づきタイミングパルスを生成する。生成されたタイミングパルスは、この記録再生装置の各部に供給される。

## 【0050】

入力ビデオ信号は、MPEGエンコーダ102においてDCT(Discrete Cosine Transform)の処理を受け、係数データに変換され、係数データが可変長符号化される。MPEGエンコーダ102からの可変長符号化(VLC)データは、MPEG2に準拠したエレメンタリストリーム(ES)である。この出力は、記録側のマルチフォーマットコンバータ(以下、MFCと称する)106の一方の入力端に供給される。

## 【0051】

一方、入力端子107を通じて、SDTI(Serial Data Transport Interface)のフォーマットのデータが入力される。この信号は、SDTI受信部108で同期検出される。そして、フレームメモリ170にバッファリングされ、エレメンタリストリームが抜き出される。抜き出されたエレメンタリストリームは、記録側MFC106から供給される信号readyによって読み出しタイミングを制御されてフレームメモリ170から読み出され、記録側MFC106の他方の入力端に供給される。SDTI受信部108で同期検出されて得られた同期信号は、上述したタイミングジェネレータ104に供給される。

## 【0052】

一実施形態では、例えばMPEG ES(MPEGエレメンタリストリーム)を伝送するために、SDTI(Serial Data Transport Interface)-CP(Content Package)が使用される。このESは、4:2:2のコンポーネントであり、また、上述したように、全てIピクチャのストリームであり、1GOP=1ピクチャの関係を有する。SDTI-CPのフォーマットでは、MPEG ESがアクセスユニットへ分離され、また、フレーム単位のパケットにパッキングされている。SDTI-CPでは、十分な伝送帯域(クロックレートで2.7MHzまたは3.6MHz、ストリームビットレートで270M bpsまたは360M bps)を使用しており、1フレーム期間で、バースト的にESを送ることが可能である。

## 【0053】

すなわち、1フレーム期間のSAVの後からEAVまでの間に、システムデータ、ビデオストリーム、オーディオストリーム、AUXデータが配される。1フ

レーム期間全体にデータが存在せずに、その先頭から所定期間バースト状にデータが存在する。フレームの境界においてSDTI-CPのストリーム（ビデオおよびオーディオ）をストリームの状態でスイッチングすることができる。SDTI-CPは、クロック基準としてSMPTEタイムコードを使用したコンテンツの場合に、オーディオ、ビデオ間の同期を確立する機構を有する。さらに、SDTI-CPとSDIとが共存可能なように、フォーマットが決められている。

#### 【0054】

上述したSDTI-CPを使用したインターフェースは、TS (Transport Stream)を転送する場合のように、エンコーダおよびデコーダがVBV (Video Buffer Verifier) バッファおよびTBs (Transport Buffers) を通る必要がなく、ディレイを少なくできる。また、SDTI-CP自体が極めて高速の転送が可能なこともディレイを一層少なくする。従って、放送局の全体を管理するような同期が存在する環境では、SDTI-CPを使用することが有効である。

#### 【0055】

なお、SDTI受信部108では、さらに、入力されたSDTI-CPのストリームからディジタルオーディオ信号を抽出する。抽出されたディジタルオーディオ信号は、ECCエンコーダ109に供給される。

#### 【0056】

記録側MFC106は、セレクタおよびストリームコンバータを内蔵する。記録側MFC106は、例えば後述する再生側MFC114とモードを切り替えることにより共用される。記録側MFC106において行われる処理について説明する。上述したMPEGエンコーダ102およびSDTI受信部108から供給されたMPEG\_ESは、セレクタで何方か一方を選択され、ストリームコンバータに供給される。

#### 【0057】

ストリームコンバータでは、MPEG2の規定に基づきDCTブロック毎に並べられていたDCT係数を、1マクロブロックを構成する複数のDCTブロックを通して、周波数成分毎にまとめ、まとめた周波数成分を並べ替える。また、ストリームコンバータは、エレメンタリストリームの1スライスが1ストライプの

場合には、1スライスを1マクロブロックからなるものにする。さらに、ストリームコンバータは、1マクロブロックで発生する可変長データの最大長を所定長に制限する。これは、高次のDCT係数を0とすることでなしうる。

#### 【0058】

また、詳細は後述するが、ストリームコンバータでは、供給されたMPEG ESのシーケンスヘッダ2に続くシーケンス拡張3を検出し、シーケンス拡張3からクロマフォーマットを示す情報chroma\_formatを抜き出す。抜き出されたクロマフォーマット情報に基づき、クロマフォーマット4:2:2と4:2:0とを共通して処理できるように、入力されたMPEG ESの処理タイミングを制御する。

#### 【0059】

記録側MFC106において並べ替えられた変換エレメンタリストリームは、ECCエンコーダ109に供給される。ECCエンコーダ109は、大容量のメインメモリが接続され（図示しない）、パッキングおよびシャフリング部、オーディオ用外符号エンコーダ、ビデオ用外符号エンコーダ、内符号エンコーダ、オーディオ用シャフリング部およびビデオ用シャフリング部などを内蔵する。また、ECCエンコーダ109は、シンクブロック単位でIDを付加する回路や、同期信号を付加する回路を含む。ECCエンコーダ109は、例えば1個の集積回路で構成される。

#### 【0060】

なお、一実施形態では、ビデオデータおよびオーディオデータに対するエラー訂正符号としては、積符号が使用される。積符号は、ビデオデータまたはオーディオデータの2次元配列の縦方向に外符号の符号化を行い、その横方向に内符号の符号化を行い、データシンボルを2重に符号化するものである。外符号および内符号としては、リードソロモンコード(Reed-Solomon code)を使用できる。

#### 【0061】

ECCエンコーダ109における処理について説明する。変換エレメンタリストリームのビデオデータは、可変長符号化されているため、各マクロブロックのデータの長さが不揃いである。パッキングおよびシャフリング部では、マクロブ

ロックが固定枠に詰め込まれる。このとき、固定枠からはみ出たオーバーフロー部分は、固定枠のサイズに対して空いている領域に順に詰め込まれる。

## 【0062】

また、画像フォーマット、シャフリングパターンのバージョン等の情報を有するシステムデータが、後述するシスコン121から供給され、図示されない入力端から入力される。システムデータは、パッキングおよびシャフリング部に供給され、ピクチャデータと同様に記録処理を受ける。システムデータは、ビデオAUXとして記録される。また、走査順に発生する1フレームのマクロブロックを並び替え、テープ上のマクロブロックの記録位置を分散させるシャフリングが行われる。シャフリングによって、变速再生時に断片的にデータが再生される時でも、画像の更新率を向上させることができる。

## 【0063】

パッキングおよびシャフリング部からのビデオデータおよびシステムデータ（以下、特に必要な場合を除き、システムデータを含む場合も単にビデオデータと称する）は、ビデオデータに対して外符号化の符号化を行うビデオ用外符号エンコーダに供給され、外符号パリティが付加される。外符号エンコーダの出力は、ビデオ用シャフリング部で、複数のECCブロックにわたってシンクブロック単位で順番を入れ替える、シャフリングがなされる。シンクブロック単位のシャフリングによって特定のECCブロックにエラーが集中することが防止される。シャフリング部でなされるシャフリングを、インターリーブと称することもある。ビデオ用シャフリング部の出力は、メインメモリに書き込まれる。

## 【0064】

一方、上述したように、SDTI受信部108あるいはディレイ103から出力されたデジタルオーディオ信号がECCエンコーダ109に供給される。この一実施形態では、非圧縮のデジタルオーディオ信号が扱われる。デジタルオーディオ信号は、これらに限らず、オーディオインターフェースを介して入力されるようにもできる。また、図示されない入力端子から、オーディオAUXが供給される。オーディオAUXは、補助的データであり、オーディオデータのサンプリング周波数等のオーディオデータに関連する情報を有するデータである。

オーディオAUXは、オーディオデータに付加され、オーディオデータと同等に扱われる。

#### 【0065】

オーディオAUXが付加されたオーディオデータ（以下、特に必要な場合を除き、AUXを含む場合も単にオーディオデータと称する）は、オーディオデータに対して外符号の符号化を行うオーディオ用外符号エンコーダに供給される。オーディオ用外符号エンコーダの出力がオーディオ用シャフリング部に供給され、シャフリング処理を受ける。オーディオシャフリングとして、シンクブロック単位のシャフリングと、チャンネル単位のシャフリングとがなされる。

#### 【0066】

オーディオ用シャフリング部の出力は、メインメモリに書き込まれる。上述したように、メインメモリには、ビデオ用シャフリング部の出力も書き込まれており、メインメモリで、オーディオデータとビデオデータとが混合され、1チャンネルのデータとされる。

#### 【0067】

メインメモリからデータが読み出され、シンクブロック番号を示す情報等を有するIDが付加され、内符号エンコーダに供給される。内符号エンコーダでは、供給されたデータに対して内符号の符号化を施す。内符号エンコーダの出力に対してシンクブロック毎の同期信号が付加され、シンクブロックが連続する記録データが構成される。

#### 【0068】

ECCエンコーダ109から出力された記録データは、記録アンプなどを含むイコライザ110に供給され、記録RF信号に変換される。記録RF信号は、回転ヘッドが所定に設けられた回転ドラム111に供給され、磁気テープ112上に記録される。回転ドラム111には、実際には、隣接するトラックを形成するヘッドのアジマスが互いに異なる複数の磁気ヘッドが取り付けられている。

#### 【0069】

記録データに対して必要に応じてスクランブル処理を行っても良い。また、記録時にディジタル変調を行っても良く、さらに、パーシャル・レスポンスク拉斯

4ビタビ符号を使用しても良い。なお、イコライザ110は、記録側の構成と再生側の構成とを共に含む。

#### 【0070】

図16は、上述した回転ヘッドにより磁気テープ上に形成されるトラックフォーマットの一例を示す。この例では、1フレーム当たりのビデオおよびオーディオデータが4トラックで記録されている。互いに異なるアジャマスの2トラックによって1セグメントが構成される。すなわち、4トラックは、2セグメントからなる。セグメントを構成する1組のトラックに対して、アジャマスと対応するトラック番号[0]とトラック番号[1]が付される。トラックのそれぞれにおいて、両端側にビデオデータが記録されるビデオセクタが配され、ビデオセクタに挟まれて、オーディオデータが記録されるオーディオセクタが配される。この図16は、テープ上のセクタの配置を示すものである。

#### 【0071】

この例では、4チャンネルのオーディオデータを扱うことができるようにされている。A1～A4は、それぞれオーディオデータの1～4chを示す。オーディオデータは、セグメント単位で配列を変えられて記録される。また、ビデオデータは、この例では、1トラックに対して4エラー訂正ブロック分のデータがインターリーブされ、Upper SideおよびLower Sideのセクタに分割され記録される。

#### 【0072】

Lower Sideのビデオセクタには、所定位置にシステム領域(SYS)が設けられる。システム領域は、例えば、Lower Sideのビデオセクタの先頭側と末尾側とに、トラック毎に交互に設けられる。

#### 【0073】

なお、図16において、SATは、サーボロック用の信号が記録されるエリアである。また、各記録エリアの間には、所定の大きさのギャップが設けられる。

#### 【0074】

図16は、1フレーム当たりのデータを4トラックで記録する例であるが、記録再生するデータのフォーマットによっては、1フレーム当たりのデータを8ト

ラック、6トラックなどで記録するようにもできる。

#### 【0075】

図16Bに示されるように、テープ上に記録されるデータは、シンクブロックと称される等間隔に区切られた複数のブロックからなる。図16Cは、シンクブロックの構成を概略的に示す。シンクブロックは、同期検出するためのSYNCパターン、シンクブロックのそれぞれを識別するためのID、後続するデータの内容を示すDID、データパケットおよびエラー訂正用の内符号パリティから構成される。データは、シンクブロック単位でパケットとして扱われる。すなわち、記録あるいは再生されるデータ単位の最小のものが1シンクブロックである。シンクブロックが多数並べられて(図16B)、例えばビデオセクタが形成される。

#### 【0076】

図15の説明に戻り、再生時には、磁気テープ112から回転ドラム111で再生された再生信号が再生アンプなどを含むイコライザ110の再生側の構成に供給される。イコライザ110では、再生信号に対して、等化や波形整形などがなされる。また、ディジタル変調の復調、ビタビ復号等が必要に応じてなされる。イコライザ110の出力は、ECCデコーダ113に供給される。

#### 【0077】

ECCデコーダ113は、上述したECCエンコーダ109と逆の処理を行うもので、大容量のメインメモリと、内符号デコーダ、オーディオ用およびビデオ用それぞれのデシファリング部ならびに外符号デコーダを含む。さらに、ECCデコーダ113は、ビデオ用として、デシファリングおよびデパッキング部、データ補間部を含む。同様に、オーディオ用として、オーディオAUX分離部とデータ補間部を含む。ECCデコーダ113は、例えば1個の集積回路で構成される。

#### 【0078】

ECCデコーダ113における処理について説明する。ECCデコーダ113では、先ず、同期検出を行いシンクブロックの先頭に付加されている同期信号を検出し、シンクブロックを切り出す。再生データは、シンクブロック毎に内符号

デコーダに供給され、内符号のエラー訂正がなされる。内符号デコーダの出力に対してID補間処理がなされ、内符号によりエラーとされたシンクブロックのID例えばシンクブロック番号が補間される。IDが補間された再生データは、ビデオデータとオーディオデータとに分離される。

#### 【0079】

上述したように、ビデオデータは、MPEGのイントラ符号化で発生したDCT係数データおよびシステムデータを意味し、オーディオデータは、PCM(Pulse Code Modulation)データおよびオーディオAUXを意味する。

#### 【0080】

分離されたオーディオデータは、オーディオ用デシャフリング部に供給され、記録側のシャフリング部でなされたシャフリングと逆の処理を行う。デシャフリング部の出力がオーディオ用の外符号デコーダに供給され、外符号によるエラー訂正がなされる。オーディオ用の外符号デコーダからは、エラー訂正されたオーディオデータが出力される。訂正できないエラーがあるデータに関しては、エラーフラグがセットされる。

#### 【0081】

オーディオ用の外符号デコーダの出力から、オーディオAUX分離部でオーディオAUXが分離され、分離されたオーディオAUXがECCデコーダ113から出力される（経路は省略する）。オーディオAUXは、例えば後述するシンク121に供給される。また、オーディオデータは、データ補間部に供給される。データ補間部では、エラーの有るサンプルが補間される。補間方法としては、時間的に前後の正しいデータの平均値で補間する平均値補間、前の正しいサンプルの値をホールドする前値ホールド等を使用できる。

#### 【0082】

データ補間部の出力がECCデコーダ113からのオーディオデータの出力であって、ECCデコーダ113から出力されたオーディオデータは、ディレイ117およびSDTI出力部115に供給される。ディレイ117は、後述するMPEGデコーダ116でのビデオデータの処理による遅延を吸収するために設けられる。ディレイ117に供給されたオーディオデータは、所定の遅延を与えら

れて、SDI出力部118に供給される。

#### 【0083】

分離されたビデオデータは、デシャフリング部に供給され、記録側のシャフリングと逆の処理がなされる。デシャフリング部は、記録側のシャフリング部でなされたシンクブロック単位のシャフリングを元に戻す処理を行う。デシャフリング部の出力が外符号デコーダに供給され、外符号によるエラー訂正がなされる。訂正できないエラーが発生した場合には、エラーの有無を示すエラーフラグがエラー有りを示すものとされる。

#### 【0084】

外符号デコーダの出力がデシャフリングおよびデパッキング部に供給される。デシャフリングおよびデパッキング部は、記録側のパッキングおよびシャフリング部でなされたマクロブロック単位のシャフリングを元に戻す処理を行う。また、デシャフリングおよびデパッキング部では、記録時に施されたパッキングを分解する。すなわち、マクロブロック単位にデータの長さを戻して、元の可変長符号を復元する。さらに、デシャフリングおよびデパッキング部において、システムデータが分離され、ECCデコーダ113から出力され、後述するシスコン121に供給される。

#### 【0085】

デシャフリングおよびデパッキング部の出力は、データ補間部に供給され、エラーフラグが立っている（すなわち、エラーのある）データが修整される。すなわち、変換前に、マクロブロックデータの途中にエラーがあるとされた場合には、エラー箇所以降の周波数成分のDCT係数が復元できない。そこで、例えばエラー箇所以降の周波数成分のDCT係数をゼロとする。同様に、高速再生時にも、シンクブロック長に対応する長さまでのDCT係数のみを復元し、それ以降の係数は、ゼロデータに置き替えられる。さらに、データ補間部では、ビデオデータの先頭に付加されているヘッダがエラーの場合に、ヘッダ（シーケンスヘッダ、GOPヘッダ、ピクチャヘッダ、ユーザデータ等）を回復する処理もなされる。

#### 【0086】

データ補間部から出力されたビデオデータおよびエラーフラグがECCデコーダ113の出力であって、ECCデコーダ113の出力は、再生側のマルチフォーマットコンバータ（以下、再生側MFCと略称する）114に供給される。再生側MFC114は、上述した記録側MFC106と逆の処理を行うものであって、ストリームコンバータを含む。再生側MFC114は、例えば1個の集積回路で構成される。

#### 【0087】

ストリームコンバータでは、データ補間部からのエラーフラグを用いて、エラーのあるビデオデータに対して、適切な位置でブロック終端符号（EOB：End of Block）を付加し、データを打ち切る。DCTブロックに跨がって、DCT係数がDC成分および低域成分から高域成分へと並べられているため、このように、ある箇所以降からDCT係数を無視しても、マクロブロックを構成するDCTブロックのそれぞれに対して、満遍なくDCならびに低域成分からのDCT係数を行き渡らせることができる。

#### 【0088】

また、ストリームコンバータでは、記録側のストリームコンバータと逆の処理がなされる。すなわち、DCTブロックに跨がって周波数成分毎に並べられていたDCT係数を、DCTブロック毎に並び替える。また、再生側MFC114では、供給されたストリームからシーケンス拡張3を検出し、クロマフォーマットの情報を抜き出す。ストリームコンバータにおける上述のDCT係数の並び替えの際に、抜き出されたクロマフォーマットの情報に基づき所定にタイミング制御を行う。これにより、再生信号がMPEG2に準拠したエレメンタリストリームに変換される。

#### 【0089】

なお、ストリームコンバータの入出力は、記録側と同様に、マクロブロックの最大長に応じて、十分な転送レート（バンド幅）を確保しておく。マクロブロック（スライス）の長さを制限しない場合には、画素レートの3倍のバンド幅を確保するのが好ましい。

#### 【0090】

ストリームコンバータの出力が再生側MFC114の出力であって、再生側MFC114の出力は、SDTI出力部115およびMPEGデコーダ116に供給される。

#### 【0091】

MPEGデコーダ116は、エレメンタリストリームを復号し、ビデオデータを出力する。すなわち、MPEGデコーダ116は、逆量子化処理と、逆DCT処理とがなされる。復号ビデオデータは、SDI出力部118に供給される。上述したように、SDI出力部118には、ECCデコーダ113でビデオデータと分離されたオーディオデータがディレイ117を介して供給されている。SDI出力部118では、供給されたビデオデータとオーディオデータとを、SDIのフォーマットにマッピングし、SDIフォーマットのデータ構造を有するストリームへ変換される。SDI出力部118からのストリームが出力端子120から外部へ出力される。

#### 【0092】

一方、SDTI出力部115には、上述したように、ECCデコーダ113でビデオデータと分離されたオーディオデータが供給されている。SDTI出力部115では、供給された、エレメンタリストリームとしてのビデオデータと、オーディオデータとをSDTIのフォーマットにマッピングし、SDTIフォーマットのデータ構造を有するストリームへ変換される。変換されたストリームは、出力端子119から外部へ出力される。

#### 【0093】

図15において、シスコン121は、例えばマイクロコンピュータからなり、この記録再生装置の全体の動作を制御する。またサーボ122は、シスコン121と互いに通信を行いながら、磁気テープ112の走行制御や回転ドラム111の駆動制御などを行う。

#### 【0094】

ここで、クロマフォーマットについて、概略的に説明する。図17、図18および図19は、それぞれクロマフォーマット4:4:4、4:2:2および4:2:0を説明するための図である。これらのうち、図17A、図18Aおよび図

19Aは、輝度信号Yおよび色差信号Cb、Crのサイズおよびサンプリングの位相を示す。図において、「×」が輝度信号Yの位相を示し、重なった2つの「○」は、色差信号Cb、Crの位相を示す。

## 【0095】

クロマフォーマット4:4:4は、図17Aに示されるように、色差信号Cb、Crと輝度信号Yのサイズおよびサンプリング位相は、互いに一致している。したがって、8画素×8画素からなるDCTブロックが4個であるマクロブロックで考えた場合、図17Bに示されるように、色差信号Cb、Crのマトリクスは、水平および垂直両次元で、輝度信号Yのマトリクスと同じサイズの4ブロックからなる。

## 【0096】

これに対して、クロマフォーマット4:2:2は、図18Aに示されるように、色差信号Cb、Crのサイズは、輝度信号Yのサイズに対して、水平方向で1/2になっている。したがって、マクロブロックで考えると、色差信号Cb、Crのマトリクスは、水平方向の次元で輝度信号Yのマトリクスの1/2になっている。

## 【0097】

さらに、クロマフォーマット4:2:0は、図19Aに示されるように、色差信号Cb、Crのサイズは、輝度信号Yのサイズに対して、水平および垂直方向の両次元でそれぞれ1/2になっている。したがって、マクロブロックで考えると、色差信号Cb、Crのマトリクスは、水平および垂直方向の両次元で、それぞれ輝度信号Yのマトリクスの1/2になっている。

## 【0098】

なお、上述の図17B、図18Bおよび図19Bに示されるように、マクロブロックにおいて、マクロブロックを構成するDCTブロックには、図に示されるように、左上から1、2、3および4の番号をそれぞれ付して表す。図17～図19に示される各マクロブロック内のブロックの符号化順序は、クロマフォーマットが4:4:4の場合で、図17Bに示されるように、Y<sub>1</sub>、Y<sub>2</sub>、Y<sub>3</sub>、Y<sub>4</sub>、Cb<sub>1</sub>、Cr<sub>1</sub>、Cb<sub>2</sub>、Cr<sub>2</sub>、Cb<sub>3</sub>、Cr<sub>3</sub>、Cb<sub>4</sub>およびCr<sub>4</sub>の

順となる。同様に、クロマフォーマット4：2：2の場合で、図18Bに示されるように、 $Y_1$ 、 $Y_2$ 、 $Y_3$ 、 $Y_4$ 、 $Cb_1$ 、 $Cr_1$ 、 $Cb_2$ および $Cr_2$ の順となり、クロマフォーマット4：2：0の場合で、図19Bに示されるように、 $Y_1$ 、 $Y_2$ 、 $Y_3$ 、 $Y_4$ 、 $Cb_1$ および $Cr_1$ の順となる。

#### 【0099】

図20Aは、MPEGエンコーダ102のDCT回路から出力されるビデオデータ中のDCT係数の順序を示す。SDTI受信部108から出力されるMPEG\_ESについても同様である。以下では、MPEGエンコーダ102の出力を例に用いて説明する。DCTブロックにおいて左上のDC成分から開始して、水平ならびに垂直空間周波数が高くなる方向に、DCT係数がジグザグスキャンで出力される。その結果、図20Bに一例が示されるように、全部で64個（8画素×8ライン）のDCT係数が周波数成分順に並べられて得られる。

#### 【0100】

このDCT係数がMPEGエンコーダのVLC部によって可変長符号化される。すなわち、最初の係数は、DC成分として固定的であり、次の成分（AC成分）からは、ゼロのランとそれに続くレベルに対応してコードが割り当てられる。従って、AC成分の係数データに対する可変長符号化出力は、周波数成分の低い（低次の）係数から高い（高次の）係数へと、 $AC_1$ 、 $AC_2$ 、 $AC_3$ 、…と並べられたものである。可変長符号化されたDCT係数をエレメンタリストリームが含んでいる。

#### 【0101】

上述した記録側MFC106に内蔵される、記録側のストリームコンバータでは、供給された信号のDCT係数の並べ替えが行われる。すなわち、それぞれのマクロブロック内で、ジグザグスキャンによってDCTブロック毎に周波数成分順に並べられたDCT係数がマクロブロックを構成する各DCTブロックにわたって周波数成分順に並べ替えられる。

#### 【0102】

図21は、この記録側ストリームコンバータにおけるDCT係数の並べ替えを概略的に示す。（4：2：2）コンポーネント信号の場合に、1マクロブロック

は、輝度信号Yによる4個のDCTブロック ( $Y_1$ ,  $Y_2$ ,  $Y_3$ および $Y_4$ ) と、色度信号C b, C rのそれぞれによる2個ずつのDCTブロック ( $Cb_1$ ,  $Cb_2$ ,  $Cr_1$ および $Cr_2$ ) からなる。

#### 【0103】

上述したように、MPEGエンコーダ102では、MPEG2の規定に従いジグザグスキャンが行われ、図21Aに示されるように、各DCTブロック毎に、DCT係数がDC成分および低域成分から高域成分に、周波数成分の順に並べられる。一つのDCTブロックのスキャンが終了したら、次のDCTブロックのスキャンが行われ、同様に、DCT係数が並べられる。

#### 【0104】

すなわち、マクロブロック内で、DCTブロック $Y_1$ ,  $Y_2$ ,  $Y_3$ および $Y_4$ 、DCTブロック $Cb_1$ ,  $Cr_1$ ,  $Cb_2$ および $Cr_2$ のそれぞれについて、DCT係数がDC成分および低域成分から高域成分へと周波数順に並べられる。そして、連続したランとそれに続くレベルとからなる組に、[DC, AC<sub>1</sub>, AC<sub>2</sub>, AC<sub>3</sub>, ...]と、それぞれ符号が割り当てられるように、可変長符号化されている。

#### 【0105】

記録側ストリームコンバータでは、可変長符号化され並べられたDCT係数を、一旦可変長符号を解読して各係数の区切りを検出し、マクロブロックを構成する各DCTブロックに跨がって周波数成分毎にまとめる。この様子を、図21Bに示す。最初にマクロブロック内の8個のDCTブロックのDC成分をまとめ、次に8個のDCTブロックの最も周波数成分が低いAC係数成分をまとめ、以下、順に同一次数のAC係数をまとめるように、8個のDCTブロックに跨がって係数データを並び替える。

#### 【0106】

並び替えられた係数データは、DC ( $Y_1$ ), DC ( $Y_2$ ), DC ( $Y_3$ ), DC ( $Y_4$ ), DC ( $Cb_1$ ), DC ( $Cr_1$ ), DC ( $Cb_2$ ), DC ( $Cr_2$ ), AC<sub>1</sub> ( $Y_1$ ), AC<sub>1</sub> ( $Y_2$ ), AC<sub>1</sub> ( $Y_3$ ), AC<sub>1</sub> ( $Y_4$ ), AC<sub>1</sub> ( $Cb_1$ ), AC<sub>1</sub> ( $Cr_1$ ), AC<sub>1</sub> ( $Cb_2$ ), AC<sub>1</sub> ( $Cr_2$ ), ...である。ここで、D

C、AC<sub>1</sub>、AC<sub>2</sub>、…は、図20を参照して説明したように、ランとそれに続くレベルとからなる組に対して割り当てられた可変長符号の各符号である。

#### 【0107】

記録側ストリームコンバータで係数データの順序が並べ替えられた変換エレメントリストリームは、ECCエンコーダ109に内蔵されるパッキングおよびシャフリング部に供給される。マクロブロックのデータの長さは、変換エレメントリストリームと変換前のエレメンタリストリームとで同一である。また、MPEGエンコーダ102において、ビットレート制御によりGOP(1フレーム)単位に固定長化されても、マクロブロック単位では、長さが変動している。パッキングおよびシャフリング部では、マクロブロックのデータを固定枠に当てる。

#### 【0108】

図22は、パッキングおよびシャフリング部でのマクロブロックのパッキング処理を概略的に示す。マクロブロックは、所定のデータ長を持つ固定枠に当てる。このとき用いられる固定枠のデータ長を、記録および再生の際のデータの最小単位であるシンクブロックのデータ格納領域であるペイロードのデータ長と一致させている。これは、シャフリングおよびエラー訂正符号化の処理を簡単に行うためである。図22では、簡単のため、1フレームに8マクロブロックが含まれるものと仮定する。

#### 【0109】

可変長符号化によって、図22Aに一例が示されるように、8マクロブロックの長さは、互いに異なる。この例では、固定枠である1シンクブロックのデータ領域(ペイロード)の長さと比較して、マクロブロック#1のデータ、#3のデータおよび#6のデータがそれぞれ長く、マクロブロック#2のデータ、#5のデータ、#7のデータおよび#8のデータがそれぞれ短い。また、マクロブロック#4のデータは、ペイロードと略等しい長さである。

#### 【0110】

パッキング処理によって、マクロブロックがペイロード長の固定長枠に詰め込まれる。過不足無くデータを詰め込むことができる原因是、1フレーム期間で発生

するデータ量が固定量に制御されているからである。図22Bに一例が示されるように、ペイロードと比較して長いマクロブロックは、ペイロード長に対応する位置で分割される。分割されたマクロブロックのうち、ペイロード長からはみ出た部分（オーバーフロー部分）は、先頭から順に空いている領域に、すなわち、長さがペイロード長に満たないマクロブロックの後ろに、詰め込まれる。

#### 【0111】

図22Bの例では、マクロブロック#1の、ペイロード長からはみ出た部分が、先ず、マクロブロック#2の後ろに詰め込まれ、そこがペイロードの長さに達すると、マクロブロック#5の後ろに詰め込まれる。次に、マクロブロック#3の、ペイロード長からはみ出た部分がマクロブロック#7の後ろに詰め込まれる。さらに、マクロブロック#6のペイロード長からはみ出た部分がマクロブロック#7の後ろに詰め込まれ、さらにはみ出た部分がマクロブロック#8の後ろに詰め込まれる。こうして、各マクロブロックがペイロード長の固定枠に対してパッキングされる。

#### 【0112】

各マクロブロックに対応する可変長データの長さは、記録側ストリームコンバータにおいて予め調べておくことができる。これにより、このパッキング部では、VLCデータをデコードして内容を検査すること無く、マクロブロックのデータの最後尾を知ることができる。

#### 【0113】

上述したように、この一実施形態では、マクロブロック内でのDCT係数の並べ替えや、1ピクチャ単位でのマクロブロックデータのペイロードへのパッキングといった処理を行っている。そのため、例えばテープのドロップアウトなどによりエラー訂正符号のエラー訂正能力を超えてエラーが発生したような場合でも、画質の劣化を少なく抑えることができる。

#### 【0114】

図23および図24を用いて、係数並び替えおよびパッキングによる効果について説明する。ここでは、クロマフォーマットが4:2:2の例について説明する。図23は、DCTブロックおよびDCT係数がMPEG-ESに準じて供給

される場合を示す。この場合には、図23Aのように、スライスヘッダやマクロブロック(MB)ヘッダに続けて、DCTブロックが輝度信号 $Y_1 \sim Y_4$ 、色差信号 $Cb_1$ 、 $Cr_1$ 、 $Cb_2$ および $Cr_2$ の順に並べられている。各々のブロックでは、DCT係数がDC成分およびAC成分の低次から高次へと並べられている。

#### 【0115】

ここで、例えばECCデコーダなどにおいて、エラー訂正符号のエラー訂正能力を超えて、図23Aの位置Aのタイミング、すなわち、ブロック $Cb_1$ の高次係数にエラーが発生したとする。上述したように、MPEGでは、スライスが1つの可変長符号系列を構成している。そのため、一度エラーが発生すると、エラー位置から次のスライスヘッダが検出されるまでのデータは信頼できない。したがって、1スライス=1マクロブロックで構成されるこのストリームでは、このマクロブロック内の位置A以降のデータの復号化ができないことになる。

#### 【0116】

その結果、図23Bに一例が示されるように、色差信号のブロック $Cr_1$ 、 $Cb_2$ および $Cr_2$ は、DC成分すらも再現することができない。したがって、ブロック $Y_1$ および $Y_2$ に相当する部分Bは、ブロック $Cb_1$ の高次およびそれ以外の色差信号のブロックが再現できなかったため、ブロック $Cb_1$ の低次係数で得られる異常な色の画像となってしまう。また、ブロック $Y_3$ および $Y_4$ に相当する部分Cは、輝度信号しか再現されないため、モノクロームの画像となってしまう。

#### 【0117】

図24は、この一実施形態によるDCT係数の並び替えを行った変換ストリームを示す。この例でも、図23の場合と同様に、位置Aでエラーが発生したものとする。変換ストリームにおいては、図24Aに一例が示されるように、スライスヘッダやマクロブロックヘッダに続けて、各DCTブロックを跨いでDCT係数が成分毎にまとめられたブロックが、DC成分およびAC成分の低次から高次へと並べられている。

#### 【0118】

この場合でも、エラー位置以降のデータは、次のスライスヘッダが検出されるまで信頼できず、このマクロブロック内のエラー位置A以降のデータは、再現されない。しかしながら、この変換ストリームでは、エラーによって復号不能となるデータは、各DCTブロック内のDCT係数におけるAC成分の高次側であり、各DCTブロックのDCT係数におけるDC成分およびAC成分の低次側は、均等に得られることになる。したがって、図24Bに示されるように、高次のAC成分が再現されないために、画像の詳細な部分は欠けるが、上述のMPEG ESの場合のように、モノクロームになったり、2つある色差成分のうち片方が欠けたような異常な色になることは、殆どの場合回避できることになる。

#### 【0119】

これにより、上述のパッキングにより他の固定枠長に格納されたデータが再現できなくても、ある程度の画質が確保できることになる。そのため、高速再生などの際の画質の劣化が抑えられる。

#### 【0120】

なお、VLCにエラーが発生した場合、次のヘッダ（スタートコード）が検出されるまで、データが信頼できなくなる。VLCは、データの出現頻度に応じた長さの符号長が割り当てられた所定のテーブルを用いてデータ列が変換される。そのため、可変長符号化されたデータ列において1ビットだけがビット反転しても、意味の異なるVLCとして解かれてしまう可能性がある。そのため、エラーが発生した以降のVLCは、例え解けたとしても信頼できず、信頼できるデータが現れるまでの間、データを捨てる必要がある。上述したように、マクロブロック層を除く各層のスタートコードは、符号の境界がバイト単位で区切られているユニークなコードからなる。したがって、このスタートコードを検出することで、エラーから復帰することが可能である。

#### 【0121】

図25は、上述したECCエンコーダ109のより具体的な構成を示す。図25において、164がICに対して外付けのメインメモリ160のインターフェースである。メインメモリ160は、SDRAMで構成されている。インターフェース164によって、内部からのメインメモリ160に対する要求を調停し、

メインメモリ160に対して書き込み／読み出しの処理を行う。また、パッキング部137a、ビデオシャフリング部137b、パッキング部137cによって、パッキングおよびシャフリング部137が構成される。

#### 【0122】

図26は、メインメモリ160のアドレス構成の一例を示す。メインメモリ160は、例えば64MビットのSDRAMで構成される。メインメモリ160は、ビデオ領域250、オーバーフロー領域251およびオーディオ領域252を有する。ビデオ領域250は、4つのバンク(v bank #0、v bank #1、v bank #2およびv bank #3)からなる。4バンクのそれぞれは、1等長化単位のデジタルビデオ信号が格納できる。1等長化単位は、発生するデータ量を略目標値に制御する単位であり、例えばビデオ信号の1ピクチャ(1ピクチャ)である。図26中の、部分Aは、ビデオ信号の1シンクブロックのデータ部分を示す。1シンクブロックには、フォーマットによって異なるバイト数のデータが挿入される。複数のフォーマットに対応するために、最大のバイト数以上であって、処理に都合の良いバイト数例えば256バイトが1シンクブロックのデータサイズとされている。

#### 【0123】

ビデオ領域の各バンクは、さらに、パッキング用領域250Aと内符号化エンコーダへの出力用領域250Bとに分けられる。オーバーフロー領域251は、上述のビデオ領域に対応して、4つのバンクからなる。さらに、オーディオデータ処理用の領域252をメインメモリ160が有する。

#### 【0124】

この一実施形態では、各マクロブロックのデータ長標識を参照することによって、パッキング部137aが固定枠長データと、固定枠を越える部分であるオーバーフローデータとをメインメモリ160の別々の領域に分けて記憶する。固定枠長データは、シンクブロックのデータ領域(ペイロード)の長さ以下のデータであり、以下、ブロック長データと称する。ブロック長データを記憶する領域は、各バンクのパッキング処理用領域250Aである。ブロック長より短いデータ長の場合には、メインメモリ160の対応する領域に空き領域を生じる。ビデオ

シャフリング部137bが書き込みアドレスを制御することによってシャフリングを行う。ここで、ビデオシャフリング部137bは、ブロック長データのみをシャフリングし、オーバーフロー部分は、シャフリングせずに、オーバーフローデータに割り当てられた領域に書き込まれる。

## 【0125】

次に、パッキング部137cが外符号エンコーダ139へのメモリにオーバーフロー部分をパッキングして読み込む処理を行う。すなわち、メインメモリ160から外符号エンコーダ139に用意されている1ECCブロック分のメモリに対してブロック長のデータを読み込み、若し、ブロック長のデータに空き領域があれば、そこにオーバーフロー部分を読み込んでブロック長にデータが詰まるようにする。そして、1ECCブロック分のデータを読み込むと、読み込み処理を一時中断し、外符号エンコーダ139によって外符号のパリティを生成する。外符号パリティは、外符号エンコーダ139のメモリに格納する。外符号エンコーダ139の処理が1ECCブロック分終了すると、外符号エンコーダ139からデータおよび外符号パリティを内符号を行う順序に並び替えて、メインメモリ160のパッキング処理用領域250Aと別の出力用領域250Bに書き戻す。ビデオシャフリング部140は、この外符号の符号化が終了したデータをメインメモリ160へ書き戻す時のアドレスを制御することによって、シンクブロック単位のシャフリングを行う。

## 【0126】

このようにブロック長データとオーバーフローデータとを分けてメインメモリ160の第1の領域250Aへのデータの書き込み（第1のパッキング処理）、外符号エンコーダ139へのメモリにオーバーフローデータをパッキングして読み込む処理（第2のパッキング処理）、外符号パリティの生成、データおよび外符号パリティをメインメモリ160の第2の領域250Bに書き戻す処理が1ECCブロック単位でなされる。外符号エンコーダ139がECCブロックのサイズのメモリを備えることによって、メインメモリ160へのアクセスの頻度を少なくすることができる。

## 【0127】

そして、1ピクチャに含まれる所定数のECCブロック（例えば32個のECCブロック）の処理が終了すると、1ピクチャのパッキング、外符号の符号化が終了する。そして、インターフェース164を介してメインメモリ160の領域250Bから読出したデータがID付加部148、内符号エンコーダ149、同期付加部150で処理され、並列直列変換部124によって、同期付加部150の出力データがビットシリアルデータに変換される。出力されるシリアルデータがパーシャル・レスポンスクラス4のプリコーダ125により処理される。この出力が必要に応じてデジタル変調され、記録アンプ110を介して、回転ドラム111に設けられた回転ヘッドに供給される。

#### 【0128】

なお、ECCブロック内にヌルシンクと称する有効なデータが配されないシンクブロックを導入し、記録ビデオ信号のフォーマットの違いに対してECCブロックの構成の柔軟性を持たせるようになされる。ヌルシンクは、パッキングおよびシャフリングブロック137のパッキング部137aにおいて生成され、メインメモリ160に書込まれる。従って、ヌルシンクがデータ記録領域を持つことになるので、これをオーバーフロー部分の記録用シンクとして使用することができる。

#### 【0129】

オーディオデータの場合では、1フィールドのオーディオデータの偶数番目のサンプルと奇数番目のサンプルとがそれぞれ別のECCブロックを構成する。ECCの外符号の系列は、入力順序のオーディオサンプルで構成されるので、外符号系列のオーディオサンプルが入力される毎に外符号エンコーダ136が外符号パリティを生成する。外符号エンコーダ136の出力をメインメモリ160の領域252に書込む時のアドレス制御によって、シャフリング部137がシャフリング（チャンネル単位およびシンクブロック単位）を行う。

#### 【0130】

さらに、126で示すCPUインターフェースが設けられ、システムコントローラとして機能する外部のCPU127からのデータを受け取り、内部ブロックに対してパラメータの設定が可能とされている。複数のフォーマットに対応する

ために、シンクブロック長、パリティ長を始め多くのパラメータを設定することが可能とされている。

#### 【0131】

パラメータの1つとしての”パッキング長データ”は、パッキング部137aおよび137bに送られ、パッキング部137a、137bは、これに基づいて決められた固定枠（図22Aで「ペイロード長」として示される長さ）にVLCデータを詰め込む。

#### 【0132】

パラメータの1つとしての”パック数データ”は、パッキング部137bに送られ、パッキング部137bは、これに基づいて1シンクブロック当たりのパック数を決め、決められたパック数分のデータを外符号エンコーダ139に供給する。

#### 【0133】

パラメータの1つとしての”ビデオ外符号パリティ数データ”は、外符号エンコーダ139に送られ、外符号エンコーダ139は、これに基づいた数のパリティが発声されるビデオデータの外符号の符号化を行う。

#### 【0134】

パラメータの1つとしての”ID情報”および”DID情報”的ぞれは、ID付加部148に送られ、ID付加部148は、これらID情報およびDID情報をメインメモリ160から読み出された単位長のデータ列に付加する。

#### 【0135】

パラメータの1つとしての”ビデオ内符号用パリティ数データ”および”オーディオ内符号用パリティ数データ”的ぞれは、内符号エンコーダ149に送られ、内符号エンコーダ149は、これらに基づいた数のパリティが発生されるビデオデータとオーディオデータの内符号の符号化を行う。なお、内符号エンコーダ149には、パラメータの1つである”シンク長データ”も送られており、これにより、内符号化されたデータの単位長（シンク長）が規制される。

#### 【0136】

また、パラメータの1つとしてのシャフリングテーブルデータがビデオ用シャ

フリングテーブル(RAM)128vおよびオーディオ用シャフリングテーブル(RAM)128aに格納される。シャフリングテーブル128vは、ビデオシャフリング部137bおよび140のシャフリングのためのアドレス変換を行う。シャフリングテーブル128aは、オーディオシャフリング137のためのアドレス変換を行う。

#### 【0137】

この一実施形態では、MPEGストリームのVLCを解く際に、マクロブロックアドレスの連續性をチェックする。チェックの結果、マクロブロックアドレスが不連続であればその部分を補修し、マクロブロックアドレスの連續性を修正する。図27、図28および図29を用いて、この一実施形態によるマクロブロックの不連續性の修正について説明する。

#### 【0138】

図27は、MPEGストリームが何らかの原因で例えば瞬間に途切れてデータが欠落し、あるマクロブロックが失われた場合の例である。図27は、625/50方式におけるマクロブロックアドレスを示す。図27Aに示されるように、1画面が、それぞれ16画素×16ラインからなる縦38個×横45個のマクロブロックに分割される。図27Aにおいて、各ブロック内の表示(y y, x x)は、各マクロブロックを、画面内での位置に基づき、上述した(mb\_row, mb\_column)でそれぞれ示す。

#### 【0139】

Iピクチャで構成されるMPEGストリームは、上述したように、これらのマクロブロックを順序正しく、且つ、全てのマクロブロックを伝送しなければならないとされている。すなわち、1画面上のマクロブロックの配置が図27Aのようになっている場合、Iピクチャが伝送されるデータストリームにおいて、例えば図27Aの斜線部に関しては、図27Bに一例が示されるように、(2, 41)、(2, 42)、(2, 43)、(2, 44)、(3, 0)、(3, 1)、(3, 2)、(3, 3)・・・とマクロブロックが伝送されることが期待される。

#### 【0140】

MPEGストリーム中のデータが欠落し、例えばマクロブロック(2, 43)

が欠損した場合、MPEGストリームは、図27Cに示されるように、当該マクロブロックの直前のマクロブロック(2, 42)に続けて、当該マクロブロックの次のマクロブロック(2, 44)が伝送されることになる。

#### 【0141】

この一実施形態では、図27Dに一例が示されるように、データが欠落してマクロブロックが欠損した部分でMPEGストリームを一時的に止めて、本来あるべきマクロブロックアドレスを有する所定のマクロブロックで欠損した部分を補い、マクロブロックアドレスの連續性を修正する。例えば、欠損したマクロブロックの期間に対応した信号waitを所定に発生させ、信号waitにより当該期間のマクロブロックの処理を止め、補修用のマクロブロックを出力するようとする。

#### 【0142】

補修用のマクロブロックは、例えばグレーを表示するようなMPEGストリームを用いることができる。図28にグレーを表示するマクロブロックの例を示す。なお、この補修用のマクロブロックは、グレー表示のものに限らず、ブラック表示などでもよい。また、図28に示される各値は一例であって、この値に限定されるものではない。

#### 【0143】

図29は、マクロブロックアドレスが不連続になる他の例を示す。図29Aも、上述の図27Aと同様に、625/50方式に基づく。これは、図29Aに示される画面に対応したMPEGストリーム(図29B)に対して、図29Cに一例が示されるように、一部のマクロブロック(この例では、マクロブロック(2, 39))が逆行する例である。

#### 【0144】

この場合には、図29Dに一例が示されるように、slice\_start\_codeを検出することで正しいマクロブロックアドレスを有するマクロブロックが検出されるまで、最速で入力MPEGストリームを引き抜く。そして、MPEGストリームが引き抜かれ欠損した部分の出力MPEGストリームを、例えば上述の図28に示されるような、グレーを表示するマクロブロックで補う。例え

ば、マクロブロックアドレスが逆行したマクロブロックの期間に対応した信号 `next_macroblock_address` を所定に発生させる。信号 `next_macroblock_address` の期間で、最速に入力ストリームを引き抜き、補修用のマクロブロックを出力するようとする。

#### 【0145】

なお、補修用のマクロブロックは、グレー表示のものに限らず、ブラック表示などでもよい。この、MPEGストリームの引き抜きおよびマクロブロックの補修は、入力MPEGストリームのマクロブロックアドレスが正しい値に復帰するまで繰り返される。

#### 【0146】

一実施形態によるこれらの処理を適用することで、入力MPEGストリームにおいてマクロブロックの欠損や逆行などによりマクロブロックアドレスが不連続になっても、マクロブロックアドレスが連続した出力MPEGストリームを得ることができ、MPEGのシンタクスエラーも回避できる。このように、一実施形態を用いることで、安定的なシステムが実現可能とされる。

#### 【0147】

上述した、一実施形態によるマクロブロックの連続性の修正処理は、記録時には、記録側MFC106において行われる。図30は、この一実施形態における記録側MFC106の一例の構成を示す。記録時には、SDTI受信部108やMPEGエンコーダから出力されたMPEG\_ESが記録側MFC106に入力され、遅延回路300および検出回路301に供給される。

#### 【0148】

なお、マクロブロックの修正処理は、再生時にも行うことができる。再生時には、記録側MFC106と各構成を共通とする再生側MFC114において、当該処理が行われる。すなわち、再生時には、ECCデコーダ113から出力された変換ESが再生側MFC114に供給され、遅延回路300および検出回路301に供給される。記録側MFC106と再生側MFC114とではほぼ同様の処理が行われるため、以下、記録側MFC106での処理を中心に説明する。

#### 【0149】

図30において、CPU\_IF310は、この記録側MFC106とシスコン121との間の通信を制御するインターフェイスである。シスコン121から出力された各種の命令やデータは、このCPU\_IF310を介して記録側MFC106の各部に供給される。

#### 【0150】

検出回路301は、供給されたMPEG\_ESからスライススタートコード12を検出する。スライススタートコード12は、バイト単位で区切られた4バイト(32ビット)からなり、最後の1バイトに当該スライスの垂直方向の位置情報が示され、[00 00 01 01]～[00 00 01 AF]の範囲の値をとる。したがって、検出回路301では、例えばバイト毎のパターンマッチングを行うことで、スライススタートコード12を検出することができる。上述したように、この一実施形態では、1スライスが1マクロブロックとされているため、スライススタートコード12を検出することで、マクロブロックの先頭が検出されることになる。

#### 【0151】

検出回路301の検出結果は、信号slice\_start\_code\_detとして出力され、タイミングジェネレータ302に供給される。それと共に、タイミングジェネレータ302には、フレームに同期したフレームパルスが供給される。フレームパルスは、例えば端子105から供給された基準信号に基づきタイミングジェネレータ104で生成される。

#### 【0152】

タイミングジェネレータ302は、信号slice\_start\_code\_detによってリセットされ、マクロブロック毎に繰り返される信号である、信号vld\_timingsおよび信号vlc\_timingsを出力する。これら信号vld\_timingsおよび信号vlc\_timingsは、マクロブロックを構成する輝度信号Y<sub>1</sub>、Y<sub>2</sub>、Y<sub>3</sub>およびY<sub>4</sub>、ならびに、色差信号Cb<sub>1</sub>、Cr<sub>1</sub>、Cb<sub>2</sub>およびCr<sub>2</sub>のそれぞれによるブロックの種類や、これら各ブロックのDCT係数におけるDCおよびAC、さらには、各ヘッダの種類を表すコントロール信号である。信号vld\_timingsおよび信号vlc\_

**timings**は、それぞれ後述するVLD303およびVLC308に供給される。

#### 【0153】

さらに、タイミングジェネレータ302では、フレームパルスでリセットされ、マクロブロック毎に増加する、基準となるマクロブロックアドレスref\_address（以降、基準MBアドレスref\_addressと称する）が生成される。

#### 【0154】

上述したように、画面のサイズが決まると1画面あたりのマクロブロック数が一意に決まると共に、MPEGストリームにおいて、マクロブロックは、画面の左側から右側へと伝送され、さらに、画面の上側から下側へと順に伝送される。したがって、基準MBアドレスref\_addressは、例えばフレームパルスを起点として所定に求めることができる。基準MBアドレスref\_addressは、例えば図28Aを参照し、画面の左上隅のマクロブロックの値を0として、画面左側から右側へと1ずつ増加し、さらに、画面上側から下側へと増加される連続的な値である。生成された基準MBアドレスref\_addressは、アドレス比較器304の一方の比較入力端に供給される。

#### 【0155】

なお、基準MBアドレスref\_addressは、後述する置換用データ発生回路305にも供給される。

#### 【0156】

一方、遅延回路300に供給されたMPEG\_ESは、後述する検出回路301などによる検出ディレイを吸収するために所定の遅延を与えられ、位相調整されて出力される。遅延回路300から出力されたMPEG\_ESは、可変長符号を復号化する可変長復号器（VLD）303に供給される。

#### 【0157】

シスコン121から記録側MFC106に対して、可変長符号の復号モードを指示する信号vld\_settingsが供給される。信号vld\_settingsは、CPU\_IF310を介してVLD303に供給される。VLD30

3では、入力されたMPEG ESの解釈がこの信号vld\_settingsに基づきなされる。そして、タイミングジェネレータ302から供給された信号vld\_timingsが示すタイムスロットに基づき、MPEG ESの可変長符号が復号化される。

#### 【0158】

なお、再生側MFC114においては、変換ストリームのデータ並びに対応したタイムスロットを示す信号vld\_timingsが、タイミングジェネレータ302からVLD303に対して供給される。

#### 【0159】

MPEG ESの可変長符号が復号化されたストリームは、セレクタ306の一方の選択入力端に入力される。セレクタ306の他方の選択入力端には、置換用データ発生回路305（後述する）から出力された、置換用のデータが供給される。セレクタ306は、アドレス比較器304（後述する）から出力されたタイミング信号である信号replace\_timingsに基づき一方または他方の選択入力端が選択され、入力信号が切り替えられる。

#### 【0160】

一方、VLD303では、上述したようにMPEG ESの可変長符号が復号化されることで、マクロブロック毎のマクロブロックアドレス（以降、MBアドレス）macroblock\_addressを得ることができる。このMBアドレスmacroblock\_addressは、比較器304の他方の比較入力端に供給される。

#### 【0161】

アドレス比較器304では、タイミングジェネレータ302から供給された基準MBアドレスref\_addressと、VLD303から供給されたMBアドレスmacroblock\_addressとが比較される。比較結果に基づき、上述した信号waitまたは信号next\_macroblock\_addressが出力されると共に、信号replace\_timingsが出力される。

#### 【0162】

アドレス比較器304の動作について、より詳細に説明する。基準MBアドレスref\_addressとMBアドレスmacroblock\_addressとが比較された結果、（基準MBアドレスref\_address<MBアドレスmacroblock\_address）であれば、その部分のマクロブロックが欠損し、その部分のアドレスの順序が飛ばされていると判断できる。そこで、アドレス比較器304において、対応するマクロブロックの期間を示す信号waitが outputされ、VLD303に対し、信号macroblock\_addressが正しい値になるまで、入力されたストリームを引き抜くことを停止するように指示される。

#### 【0163】

それと共に、アドレス比較器304において、ストリームを補修するタイミングを示す補修タイミング信号replace\_timingsが出力される。補修タイミング信号replace\_timingsは、セレクタ306に選択制御信号として供給される。

#### 【0164】

なお、VLD303の信号waitによる動作一時停止は、信号waitの出力と共に、タイミングジェネレータ302から出力される信号vld\_timingsを停止することで実現することができる。VLD303に対する信号vld\_timingsの供給がなされなければ、VLD303の動作は、停止される。信号waitにより、VLD303側で、信号vld\_timingsを止めることもできる。

#### 【0165】

一方、基準MBアドレスref\_addressとMBアドレスmacroblock\_addressとがアドレス比較器304で比較された結果、（基準MBアドレスref\_address>MBアドレスmacroblock\_address）であれば、そのマクロブロックは、アドレスの順序が逆行していると判断される。そこで、アドレス比較器304において、対応するマクロブロックの期間を示す信号next\_macroblock\_addressが出力され、VLD303に対し、次のスライスまで最速で入力ストリームを引き抜く

ように指示される。

#### 【0166】

それと共に、アドレス比較器304において、ストリームを補修するタイミングを示す補修タイミング信号replace\_timingsが outputされる。補修タイミング信号replace\_timingsは、上述したセレクタ306に選択制御信号として供給される。

#### 【0167】

なお、上述で、次のスライスまで最速で入力ストリームを引き抜くとした。このことについて説明する。MBアドレスの逆行に対応するためには、例えば上の図29の例でいえば、逆行したマクロブロック(2, 39)の代わりに、マクロブロック(2, 43)に対応したMBアドレスを有する、グレー表示などの補修用のマクロブロックを出力しながら、マクロブロック(2, 43)の次のマクロブロック(2, 44)に対応したアドレスを有するマクロブロックを探す必要がある。

#### 【0168】

そのため、例えば、信号next\_macroblock\_addressにより、当該マクロブロックがアドレスの逆行するマクロブロックであることが示されたら、例えば、遅延回路300に溜め込まれているストリームを先読みしてVLD303に取り込むようとする。そして、VLD303において、この取り込まれたストリームの VLCを復号化して、マクロブロック(2, 44)に対応したMBアドレスを有するマクロブロックがあるかどうか調べる。

#### 【0169】

置換用データ発生回路305では、欠損したマクロブロックと置き換えるためのデータが、シスコン121による指示に基づきCPU\_IF310を介して供給される、信号macroblock\_replaceに基づき、予め発生され用意される。置換用データ発生回路305において用意されるこのデータは、例えば上述した図28に示される各データであって、マクロブロックアドレスを含むスライスおよびマクロブロックのヘッダ情報、マクロブロック内の輝度および色差それぞれのDC成分、ならびに、DCTブロックの終端を示すEOB(End Of

f Block)などからなる。

#### 【0170】

これらのデータにおいて、マクロブロックの縦方向のアドレスを示す、スライススタートコード12の最後の1バイトと、横方向のアドレスを示すmacro block\_escapeおよびmacro block\_address\_incrementは、当該マクロブロックの画面上での位置、すなわち、基準MBアドレスref\_addressに基づき作成される。

#### 【0171】

セレクタ306では、上述したように、一方および他方の選択入力端がアドレス比較器304から供給されるタイミング信号である信号replace\_timingsにより切り替えられる。これにより、VLD303から供給されたストリームの中で、欠損のあったマクロブロックデータが置換用データ発生回路305から供給された補修用のマクロブロックデータと置き換えられ、ストリームが補修される。

#### 【0172】

セレクタ306から出力されたストリームは、一旦メモリ307に書き込まれる。メモリ307に書き込まれたストリームは、可変長符号化器（VLC）308にアドレス制御されて読み出される。VLC308によるメモリ307の読み出しアドレスの制御は、シスコン121からCPU\_IF310を介してVLC308に供給された信号vlc\_settingsと、タイミングジェネレータ302から供給されたタイミング信号vlc\_timingsとにに基づきなされ、データの並びが所定に変換されて読み出される。

#### 【0173】

並びを所定に変換されてメモリ307から読み出されたデータは、VLC308で可変長符号化されると共に、8ビットまたは16ビットなどにビット整列され、変換E/Sとされて出力される。

#### 【0174】

なお、再生側MFC114においては、VLC308に対して、MPEG\_ESのデータ並びのタイムスロットを示す信号vlc\_timingsが供給され

る。VLC308に供給されたストリームは、この信号v1c\_timingsに基づきデータ並びを変換され、MPEG\_ESとされ、出力される。

#### 【0175】

図31は、上述した記録側MFC106による欠損マクロブロックの補修処理を示すフローチャートである。先ず、フレームパルスに基づき、フレームの開始がタイミングジェネレータ302に検出される。フレームが開始されると、ステップS10で、タイミングジェネレータ302において、基準MBアドレスref\_address（図31中ではref\_addrと略記）の値が0とされ、基準MBアドレスref\_addressが初期化される。次のステップS11では、VLD303において、入力されたMPEGストリームからMBアドレスmacroblock\_address（図31中ではmb\_addrと略記）が検出される。検出されたMBアドレスmacroblock\_addressは、アドレス比較器304に供給される。

#### 【0176】

ステップS11でMBアドレスmacroblock\_addressが検出されアドレス比較器304に供給されると、次のステップS12から、ステップS11で検出されたマクロブロックに対する処理が開始される。この処理において、先ず、ステップS13で、基準MBアドレスref\_addressに1が加えられた値が新たな基準MBアドレスref\_addressとされる。

#### 【0177】

次のステップS14で、上述のステップS11で検出されたMBアドレスmacroblock\_addressと、ステップS13で得られた基準MBアドレスref\_addressとがアドレス比較器304で比較される。比較の結果、若し、MBアドレスmacroblock\_addressの値が基準MBアドレスref\_addressの値よりも大きければ、入力されたストリームにおいて、ステップS11でMBアドレスmacroblock\_addressが検出されたマクロブロックの前のマクロブロックが欠損しているとされ、処理はステップS15に移行する。

#### 【0178】

ステップS15では、マクロブロックの処理が一時的に停止され、MBアドレスmacroblock\_addressが正しい値とされた、グレイ表示などを行うマクロブロックで、欠損したマクロブロックが補修される。すなわち、アドレス比較器304からVLD303に対して供給される信号waitが1マクロブロックの期間、”H”状態とされ、VLD303における処理が一時的に停止される。それと共に、アドレス比較器304から出力されるタイミング信号replace\_timingsにより、セレクタ306が他方の選択入力端に切り替えられ、VLD303の出力が置換用データ発生回路305により出力された補修用のマクロブロックデータに置き換えられる。

#### 【0179】

セレクタ306から出力されたストリームは、メモリ307に一旦書き込まれ、VLC308により読み出しアドレスを制御されることで、データの並びが所定に変換され、変換ストリームとされる（ステップS16）。そして、次のステップS17で、上述のステップS12から開始された処理が1フレームにおける最終マクロブロックに達したかどうかが判断される。若し、最終マクロブロックまで処理がなされたと判断されたら、このフローチャートによる一連の処理が終了される。

#### 【0180】

一方、ステップS17で、1フレームの最終マクロブロックまで処理がなされていないと判断されれば、処理はステップS12に戻される。そして、ステップS13で、上述で新たな基準MBアドレスref\_addressとされた値に1が加えられた値が、さらに新たな基準MBアドレスref\_addressとされ、ステップS14での比較がなされる。すなわち、ステップS14のMBアドレスの比較において、上述したステップS11で検出されたMBアドレスmacroblock\_addressとステップS13で得られた基準MBアドレスref\_addressとが一致するまで、ステップS12、ステップS13およびステップS14～ステップS17の一連の処理が繰り返される。

#### 【0181】

上述したステップS14で、アドレス比較器304によるMBアドレスの比較

の結果、若し、MBアドレスmacroblock\_addressの値が基準MBアドレスref\_addressの値よりも大きくなければ、処理はステップS18に移行する。ステップS18では、さらに、アドレス比較器304によってMBアドレスmacroblock\_addressとステップS13で得られた新たな基準MBアドレスref\_addressとが比較される。比較の結果、MBアドレスmacroblock\_addressが基準MBアドレスref\_addressよりも小さければ、入力されたストリームにおいて、当該マクロブロックのMBアドレスmacroblock\_addressが逆行しているとされ、処理はステップS19に移行する。

#### 【0182】

ステップS19では、VLD303においてのスライスまで最速で入力ストリームが引き抜かれると共に、MBアドレスmacroblock\_addressが正しい値とされ、グレイ表示などを行うマクロブロックで欠損したマクロブロックが補修される。すなわち、上述したように、アドレス比較器304からVLD303に対して供給される信号next\_macroblock\_addressに基づき、VLD303により、次のスライスまで最速で入力ストリームからマクロブロックが引き抜かれる。それと共に、アドレス比較器304から出力されるタイミング信号replace\_timingsにより、セレクタ306が他方の選択入力端に切り替えられ、VLD303の出力が置換用データ発生回路305により出力された補修用のマクロブロックデータに置き換えられる。

#### 【0183】

セレクタ306から出力されたストリームは、メモリ307に一旦書き込まれ、VLC308により読み出しアドレスを制御されることで、データの並びが所定に変換され、変換ストリームとされる（ステップS20）。そして、次のステップS21で、上述のステップS12から開始された処理が1フレームにおける最終マクロブロックに達したかどうかが判断される。若し、最終マクロブロックまで処理がなされたと判断されたら、このフローチャートによる一連の処理が終了される。

#### 【0184】

一方、ステップS21で、1フレームの最終マクロブロックまで処理がなされていないと判断されれば、処理はステップS11に戻される。そして、ステップS11で、入力ストリームの可変長符号が復号化され、MBアドレスmacro\_block\_addressが検出され、MBアドレスmacroblock\_addressが検出されたマクロブロックに対し、ステップS12からの処理が上述のようにして行われる。

#### 【0185】

なお、上述したステップS18で、MBアドレスmacroblock\_addressが基準MBアドレスref\_addressよりも小さくないと判断された場合には、ステップS14での判断結果と合わせて、入力ストリームのMBアドレスmacroblock\_addressと基準MBアドレスref\_addressとが一致していることになる。この場合には、マクロブロックの欠損や逆行などが無いものとされ、処理はステップS20に移行する。

#### 【0186】

次に、この一実施形態の変形例について説明する。この変形例では、メモリ307をフレームメモリとともに、信号v1c\_timingsを、1フレームのディレイでVLC308による処理を行うような信号とする。セレクタ306から出力されたマクロブロックが1フレーム分、メモリ307に溜め込まれる。こうすることで、フレーム単位での処理ディレイが許容される場合において、マクロブロックをフレームメモリ上で再配置し、正しい順序で連続的に読み出すことが可能となる。

#### 【0187】

この変形例によれば、欠損したマクロブロックを、1フレーム前の同一MBアドレスのマクロブロックで補修することができる。例えば、メモリ307にデータを書き込む際に、欠損しているマクロブロックに対応するアドレスは、データを上書きせずに捨てるようとする。上述した一実施形態のように、グレー表示のマクロブロックデータを用いる場合などに比べ、より自然にマクロブロックの補修を行うことができる。

#### 【0188】

また、入力ストリームにおいてMBアドレスの逆行などが生じ、MBアドレスが正しい順序で並んでいない場合でも、メモリ307に対する書き込みアドレスあるいは読み出しアドレスを制御することで、正しい順序に並び替えて出力することが容易にできる。

#### 【0189】

##### 【発明の効果】

以上説明したように、この発明によれば、入力ストリーム中の欠損したマクロブロックがグレー表示などの置換用データで補修される。また、入力ストリーム中のMBアドレスが逆行したマクロブロックが、グレー表示などの置換用データで、正しいMBアドレスに補修される。そのため、マクロブロックが不連続なイレギュラーなMPEGストリームが入力されても、MPEGのシンタクスエラーを回避することができる効果がある。

#### 【0190】

したがって、ストリームの瞬断などでマクロブロックが欠損してしまった場合でも、欠損部分が補修されMPEGのシンタクスエラーが回避されるため、このストリームが入力されたデコーダなどがハングアップするような事態を回避できる。そのため、この発明を、MPEGを扱う放送業務用のVTRなどに適用することで、安定的なシステムを実現することができる効果がある。

##### 【図面の簡単な説明】

###### 【図1】

MPEG2のデータの階層構造を概略的に示す略線図である。

###### 【図2】

MPEG2のストリーム中に配されるデータの内容とビット割り当てを示す略線図である。

###### 【図3】

MPEG2のストリーム中に配されるデータの内容とビット割り当てを示す略線図である。

###### 【図4】

MPEG2のストリーム中に配されるデータの内容とビット割り当てを示す略

線図である。

【図5】

MPEG2のストリーム中に配されるデータの内容とビット割り当てを示す略線図である。

【図6】

MPEG2のストリーム中に配されるデータの内容とビット割り当てを示す略線図である。

【図7】

MPEG2のストリーム中に配されるデータの内容とビット割り当てを示す略線図である。

【図8】

MPEG2のストリーム中に配されるデータの内容とビット割り当てを示す略線図である。

【図9】

MPEG2のストリーム中に配されるデータの内容とビット割り当てを示す略線図である。

【図10】

MPEG2のストリーム中に配されるデータの内容とビット割り当てを示す略線図である。

【図11】

MPEG2のストリーム中に配されるデータの内容とビット割り当てを示す略線図である。

【図12】

MPEG2のストリーム中に配されるデータの内容とビット割り当てを示す略線図である。

【図13】

データのバイト単位の整列を説明するための図である。

【図14】

一実施形態におけるMPEGストリームのヘッダを具体的に示す略線図である

【図15】

一実施形態による記録再生装置の構成の一例を示すブロック図である。

【図16】

磁気テープ上に形成されるトラックフォーマットの一例を示す略線図である。

【図17】

クロマフォーマットを説明するための略線図である。

【図18】

クロマフォーマットを説明するための略線図である。

【図19】

クロマフォーマットを説明するための略線図である。

【図20】

ビデオエンコーダの出力の方法と可変長符号化を説明するための略線図である

【図21】

ビデオエンコーダの出力の順序の並び替えを説明するための略線図である。

【図22】

順序の並び替えられたデータをシンクブロックにパッキングする処理を説明するための略線図である。

【図23】

係数並び替えおよびパッキングによる効果について説明するための略線図である。

【図24】

係数並び替えおよびパッキングによる効果について説明するための略線図である。

【図25】

ECCエンコーダのより具体的な構成を示すブロック図である。

【図26】

メインメモリのアドレス構成の一例を示す略線図である。

【図27】

マクロブロックアドレスが不連続になる例を示す略線図である。

【図28】

グレーを表示するマクロブロックの例を示す略線図である。

【図29】

マクロブロックアドレスが不連続になる例を示す略線図である。

【図30】

一実施形態における記録側MFCの一例の構成を示すブロック図である。

【図31】

記録側MFCによる欠損マクロブロックの補修処理を示すフローチャートである。

【図32】

PAL方式における一例のマクロブロックアドレスを示す略線図である。

【符号の説明】

1 . . . シーケンスヘッダコード、2 . . . シーケンスヘッダ、3 . . . シーケンス拡張、4 . . . 拡張およびユーザデータ、5 . . . GOPスタートコード、6 . . . GOPヘッダ、7 . . . ユーザデータ、8 . . . ピクチャスタートコード、9 . . . ピクチャヘッダ、10 . . . ピクチャ符号化拡張、11 . . . 拡張およびユーザデータ、12 . . . スライススタートコード、13 . . . スライスヘッダ、14 . . . マクロブロックヘッダ、101 . . . SDI受信部、102 . . . MPEGエンコーダ、106 . . . 記録側マルチフォーマットコンバータ(MFC)、108 . . . SDTI受信部、109 . . . ECCエンコーダ、112 . . . 磁気テープ、113 . . . ECCデコーダ、114 . . . 再生側MFC、115 . . . SDTI出力部、116 . . . MPEGデコーダ、118 . . . SDI出力部、137a, 137c . . . パッキング部、137b . . . ビデオシャフリング部、139 . . . 外符号エンコーダ、140 . . . ビデオシャフリング、149 . . . 内符号エンコーダ、170 . . . フレームメモリ、301 . . . 検出回路、302 . . . タイミングジェネレータ、303 . . . VLD、304 . . . アドレス比較器、305 . . . 置換用データ発生回路、306 . .

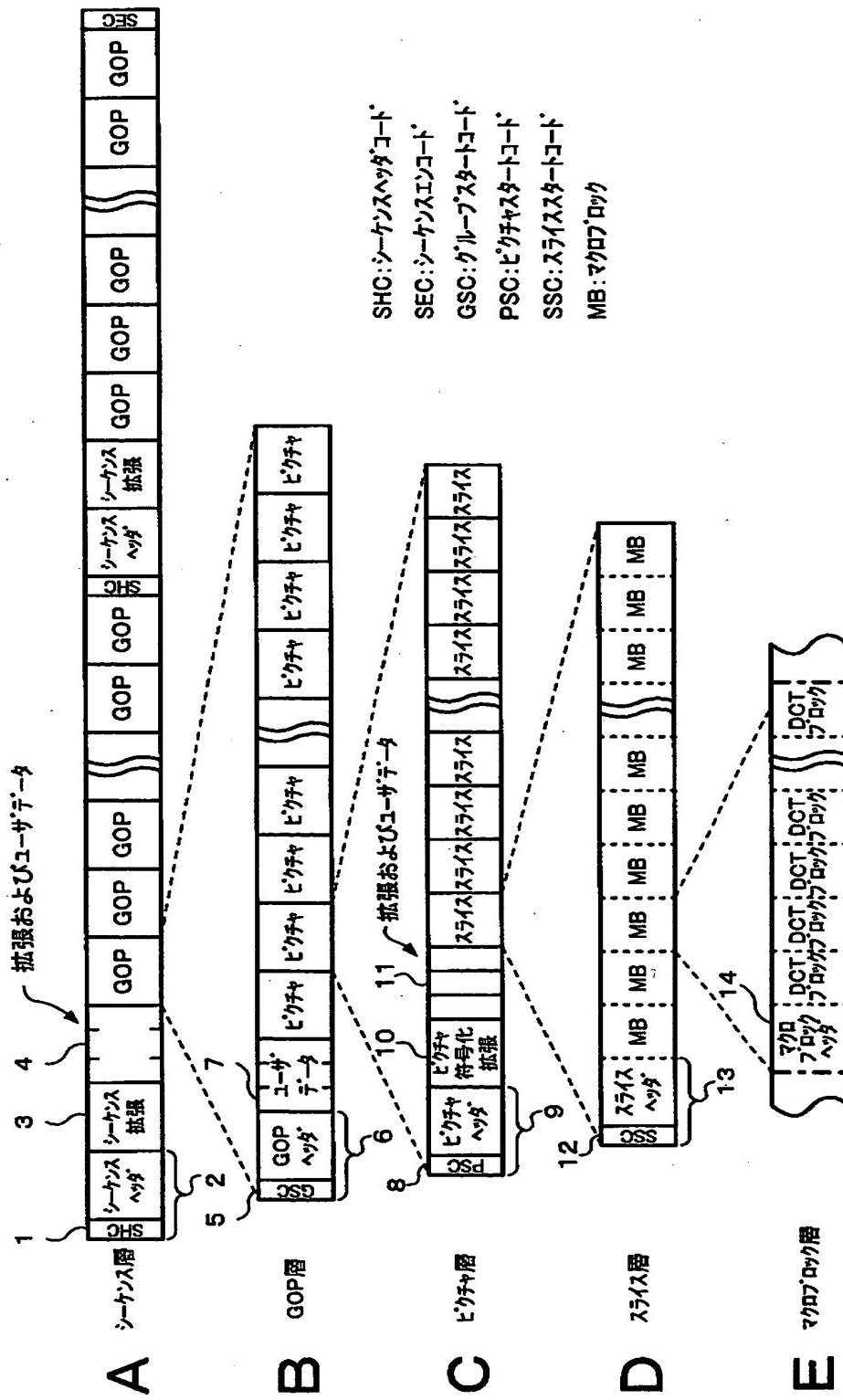
特2000-401710

・セレクタ、307・・・メモリ、308・・・VLC

### 【書類名】

図面

### 【図1】



【図2】

コード名	ビット数	内容
sequence header code	32	シーケンスヘッダコード
horizontal size value	12	水平方向画素数下位12ビット
vertical size value	12	垂直方向ライン数下位12ビット
aspect ratio information	4	画素アスペクト比情報
frame rate code	4	フレームレートコード
bit rate value	18	ビットレート下位18ビット (400ビット単位表示)
vbv buffer size value	10	VBVバッファサイズ下位10ビット
intra quantiser matrix[64]	8*64	イントラMB用量子化マトリクス値
non intra quantiser matrix[64]	8*64	非イントラMB用量子化マトリクス値

【図3】

コード名	ビット数	内容
extension start code	32	拡張データの開始同期コード
extension start code identifier	4	どの拡張データが送られるかを示す
profile and level indication	8	プロファイルとレベルの指示
progressive sequence	1	順次走査であることを示す
chroma format	2	色差フォーマットの指定
horizontal size extension	2	画像の横の画素数の上位2ビット
vertical size extension	2	画像の縦のライン数の上位2ビット
bit rate extension	12	ビットレート値の上位12ビット
marker bit	1	スタートコードエミュレーションの防止
vbv buffer size extension	8	VBVバッファサイズの上位8ビット
low delay	1	Bピクチャを含まないことを示す
frame rate extension n	2	フレームレート拡張
frame rate extension d	5	フレームレート拡張
next start code()		

【図4】

コード名	ビット数	内容
extension data(0)		拡張データ(0)
sequence display extension()		シーケンス表示()
sequence scalable extension()		シーケンススケーラブル拡張()
extension start code identifier	4	シーケンススケーラブル拡張ID
scalable mode	2	スケーラビリティモード
layer id	4	スケーラブル階層のレイヤID
空間スケーラビリティの場合		
lower layer prediction horizontal size	14	予測用下位レイヤの水平サイズ
lower layer prediction vertical size	14	予測用下位レイヤの垂直サイズ
vertical subsampling factor n	5	垂直方向アップサンプル用除数
テンポラルスケーラビリティの場合		
picture mux order	3	第1ベースレイヤ画像前の付加レイヤ 画像数
picture mux factor	3	ベースレイヤ間の付加レイヤの画像数
user data()		ユーザデータ()
user data	8	ユーザデータ

【図5】

コード名	ビット数	内容
group start code	32	GOPスタートコード
time code	25	タイムコード(時, 分, 秒, ピクチャ)
closed gop	1	GOPの独立性を示すフラグ
broken link	1	GOP内1ピクチャ前のBピクチャの正当性フラグ

【図6】

コード名	ビット数	内容
extension data(1)		拡張データ(1)
user data()		ユーザデータ()
user data	8	ユーザデータ

【図7】

コード名	ビット数	内容
picture start code	32	ピクチャスタートコード
temporal reference	10	GOP内画像の表示順序(modulo 1024)
picture coding type	3	ピクチャ符号化タイプ(I, B, P)
vbv delay	16	復号開始までのVBV遅延量

【図8】

コード名	ビット数	内容
f code[s][t]	4	前・後方向(s), 水平・垂直(t) 動きベクトル範囲
intra dc precision	2	イントラMBのDC係数精度
picture structure	2	ピクチャ構造(フレーム, フィールド)
top field first	1	表示フィールドの指定
frame pred frame dct	1	フレーム予測+フレームDCTフラグ
concealment motion vectors	1	イントラMBコンシールメントMVフラグ
q scale type	1	量子化スケールタイプ(線形, 非線形)
intra vlc format	1	イントラMB用VLCタイプ
alternate scan	1	スキヤニングタイプ(シグザグ, オルタネート)
repeat first field	1	2:3プルダウン用フィールドリピート
chroma 420 type	1	4:2:0のときprogressive frameと同値
progressive frame	1	プログレッシブフレームフラグ

【図9】

コード名	ビット数	内容
extension data(2)		拡張データ(2)
quant matrix extension()		量子化マトリクス拡張()
intra quantiser matrix[64]	8*64	イントラMB量子化マトリクス
non intra quantiser matrix[64]	8*64	非イントラ量子化マトリクス
chroma intra quantiser matrix[64]	8*64	色差イントラ量子化マトリクス
chroma non Intra quantiser matrix[64]	8*64	色差非イントラ量子化マトリクス
copyright extension()		著作権拡張()
picture display extension()		ピクチャ表示拡張()
picture spatial scalable extension()		ピクチャ空間スケーラブル拡張()
spatial temporal weight code table index	2	アップサンブル用時空間重み付けテーブル
lower layer progressive frame	1	下位レイヤプログレッシブ画像フレーム
lower layer deinterlaced field select	1	下位レイヤのフィールド選択
picture temporal scalable extension()		ピクチャテンポラルスケーラブル拡張()
reference select code	2	参照画面の選択
forward temporal reference	10	前方向予測用下位レイヤの画像番号
backward temporal reference	10	後方向予測用下位レイヤの画像番号
user data()		ユーザデータ()
user data()	8	ユーザデータ

【図10】

コード名	ビット数	内容
slice start code	32	スライススタートコード+スライス垂直位置
slice vertical position extension	3	スライス垂直位置拡張用(>2800ライン)
priority breakpoint	7	データパーティショニング用区分点
quantiser scale code	5	量子化スケールコード(1~31)
intra slice	1	イントラスライスフラグ
macroblock( )		マクロブロックデータ( )

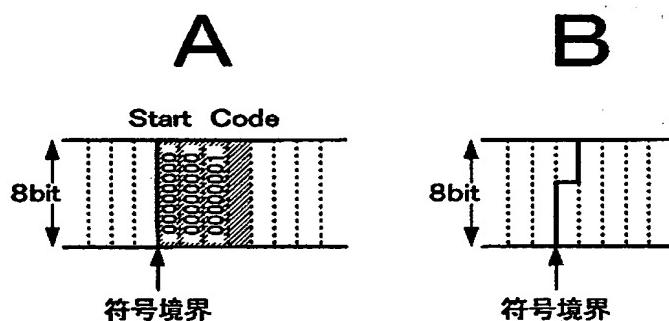
【図11】

コード名	ビット数	内容
macroblock escape	1-1	MBアドレス拡張用(>33)
macroblock address increment	1-11	現MBアドレスと前MBアドレスの差
macroblock modes( )		マクロブロックモード( )
macroblock type	1-9	MB符号化タイプ(MC, Codedなど)
spatial temporal weight code	2	アップサンプル用の時空間重み付けコード
frame motion type	2	フレーム構造の動き補償タイプ
field motion type	2	フィールド構造の動き補償タイプ
dct type	1	DCTタイプ(フレーム, フィールド)
quantiser scale code	5	MB量子化スケールコード(1~31)
motion vectors(s)		動きベクトル(s)
motion vertical field select[r][s]	1	予測に用いる参照フィールドの選択
motion vector(r, s)		動きベクトル(r, s)
motion code[r][s][t]	1-11	基本差分動きベクトル
motion residual[r][s][t]	1-8	残差ベクトル
dmvector[t]	1-2	デュアルプライム用差分ベクトル
coded block pattern( )		CBP
block( i )		ブロックデータ( )

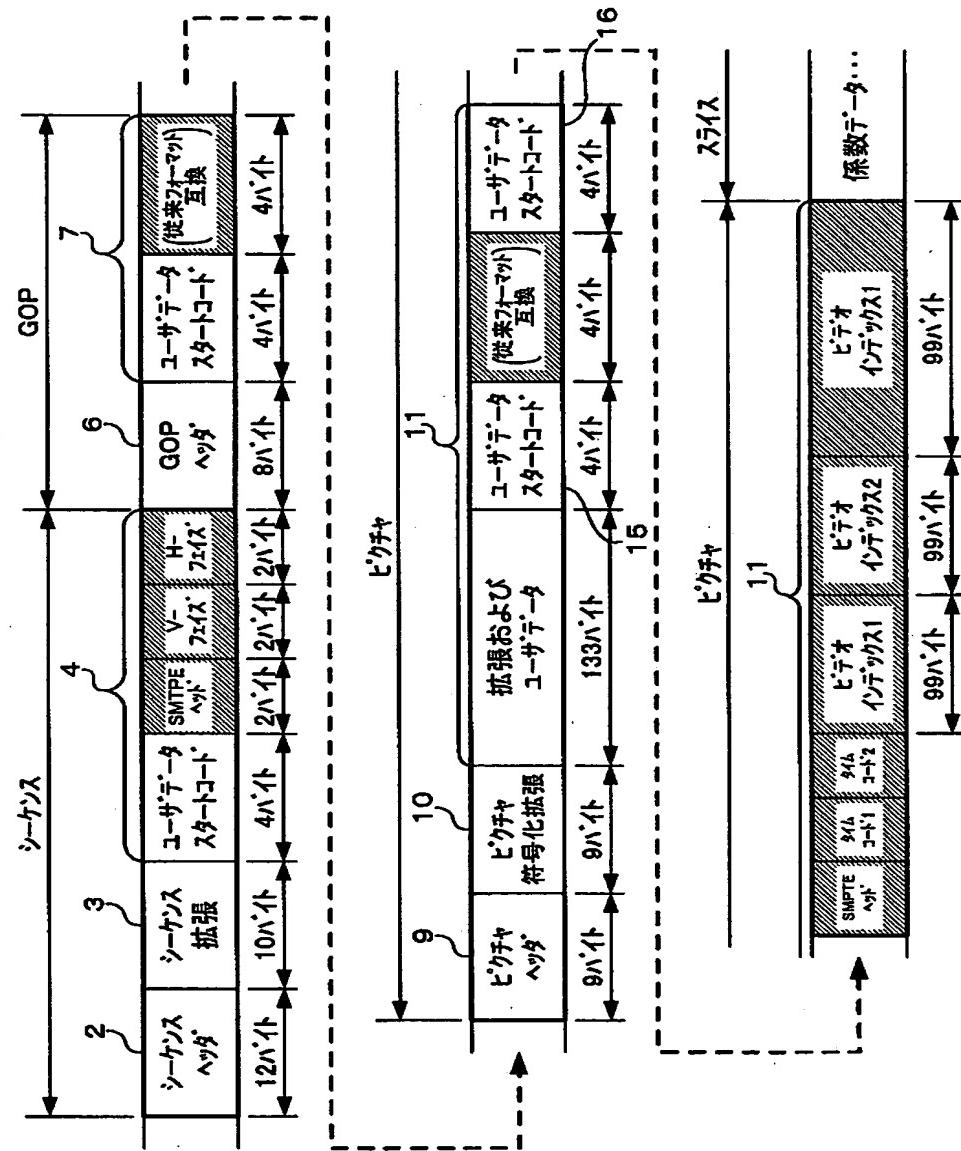
【図12】

コード名	ビット数	内容
dct dc size luminance	2-9	DCT輝度DC係数差分サイズ
dct dc differential	1-11	DCT輝度DC係数差分値
dct dc size chrominance	2-10	DCT色差DC係数差分サイズ
dct dc differential	1-11	DCT色差DC係数差分値
First DCT coefficient	3-24	非イントラップの第1非零係数
Subsequent DCT coefficient	2-24	後続のDCT係数
End of block	2 or 4	ブロック内のDCT係数終了フラグ

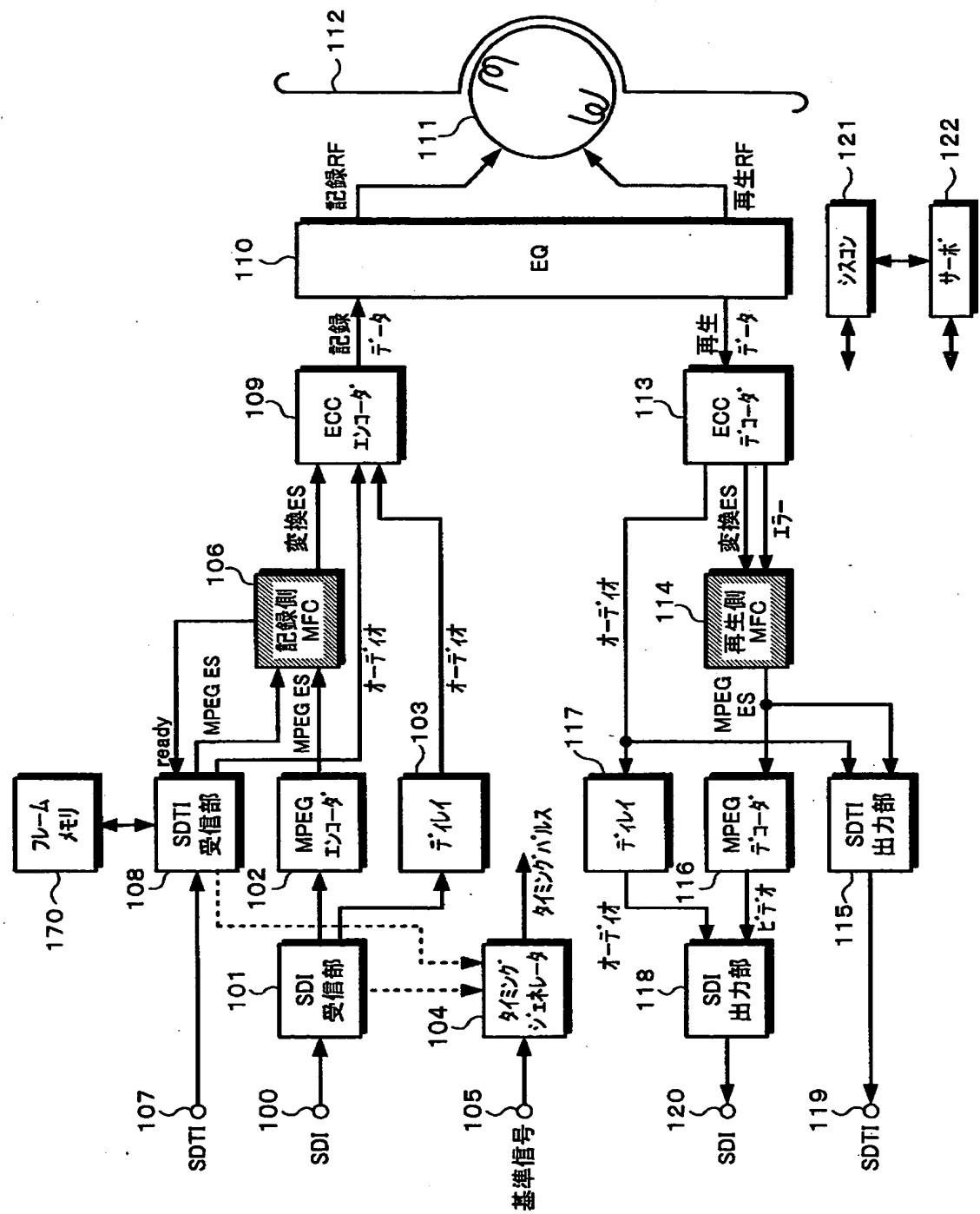
【図13】



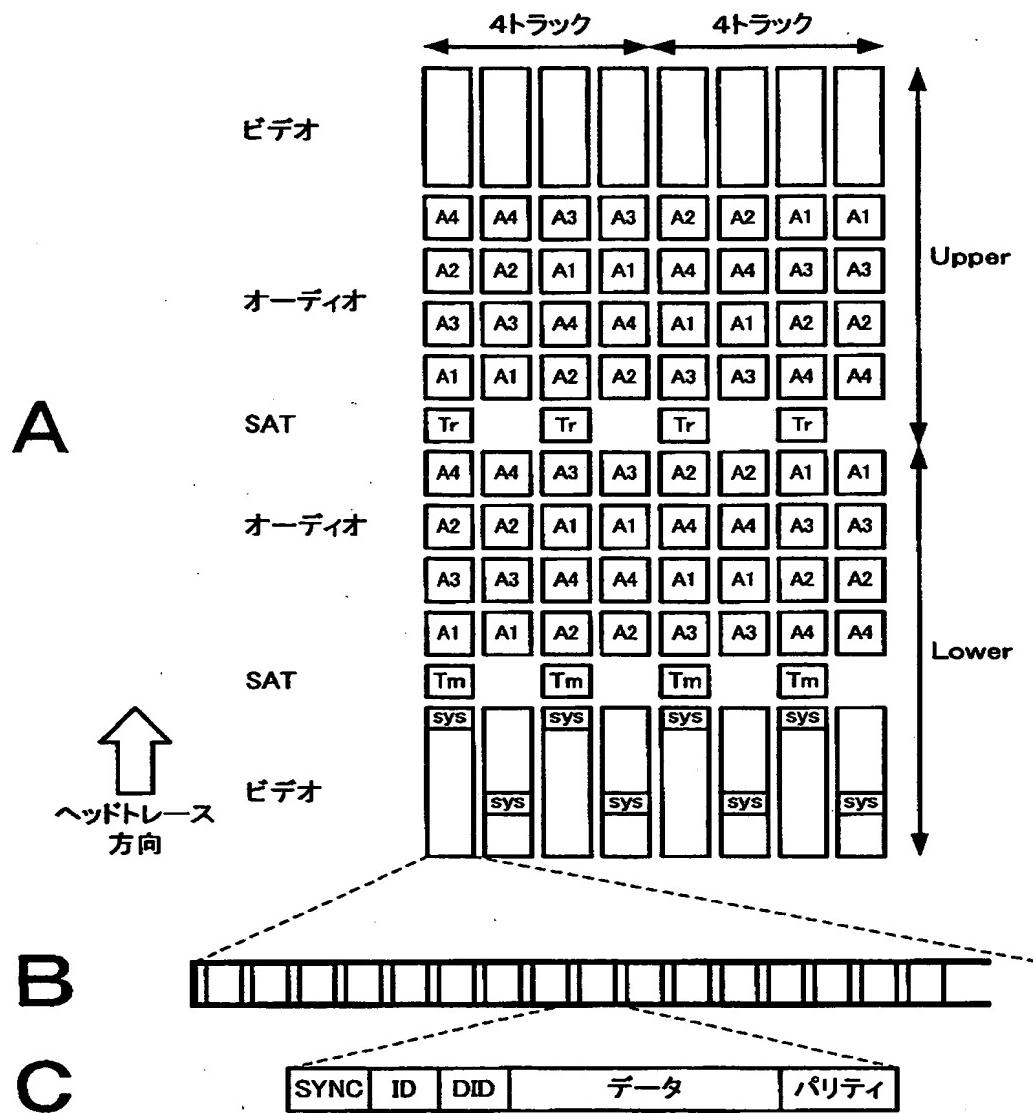
【図14】



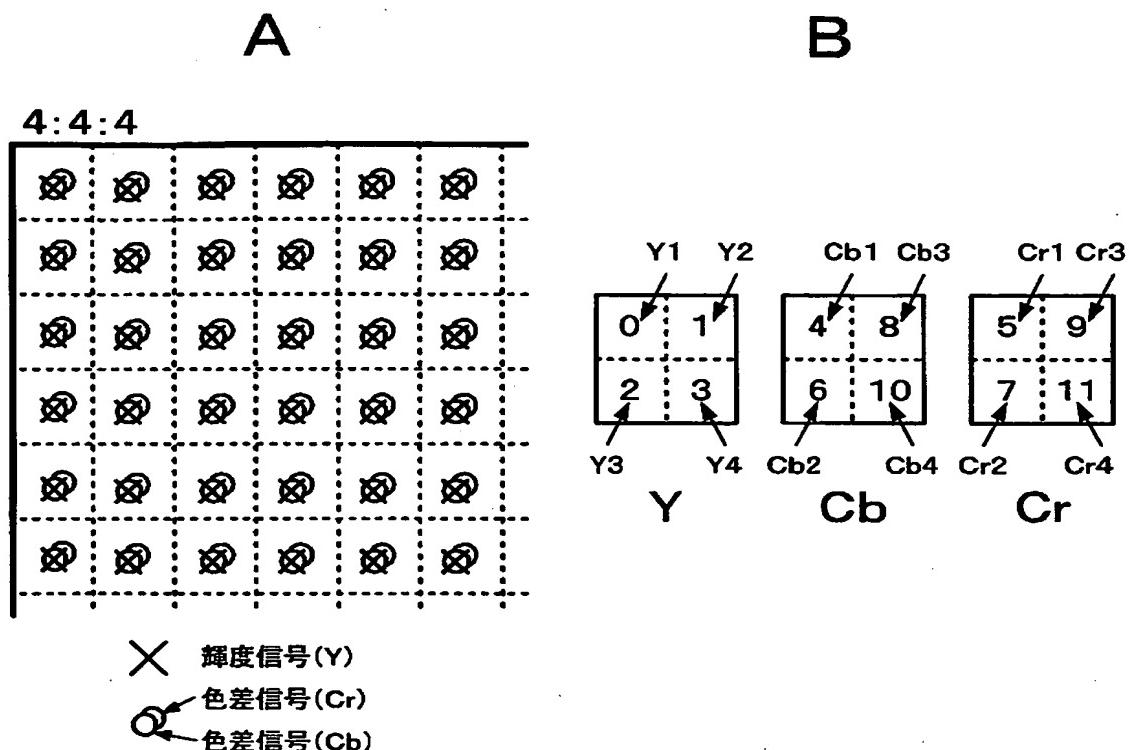
【図15】



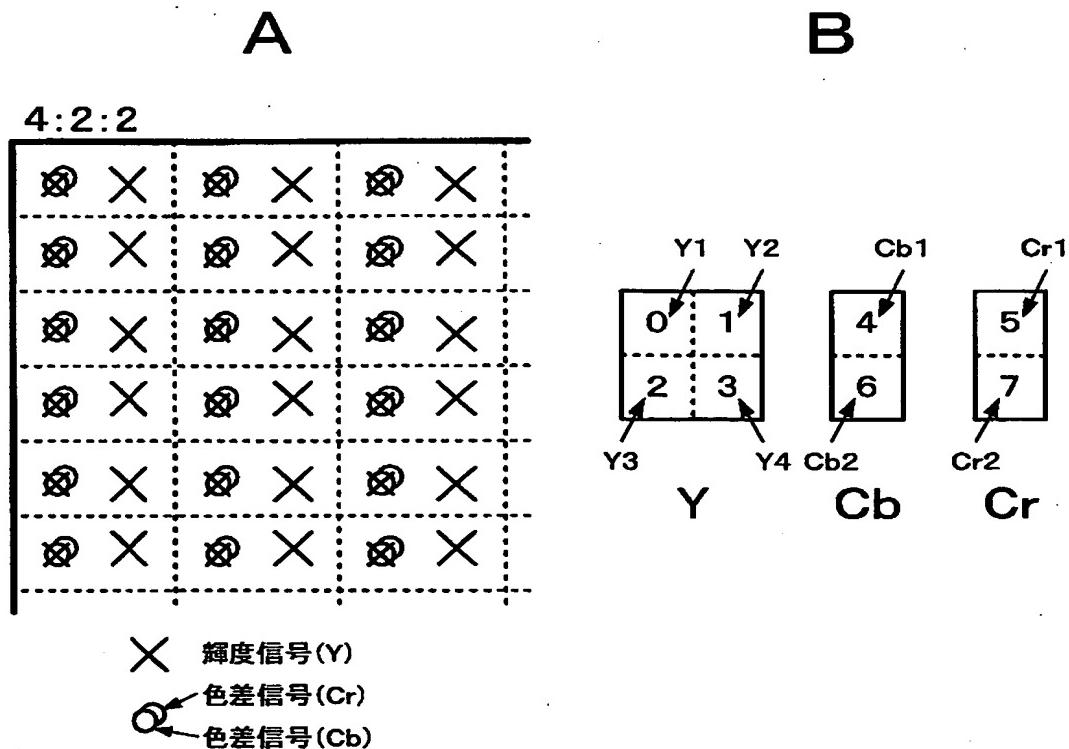
【図16】



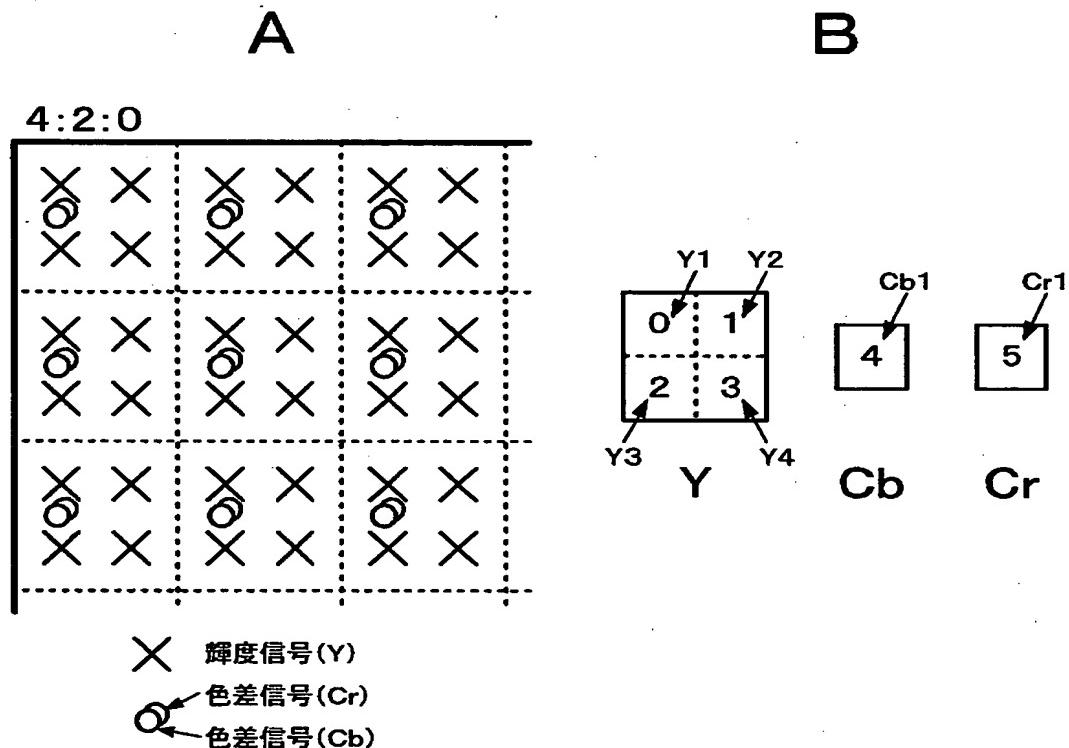
【図17】



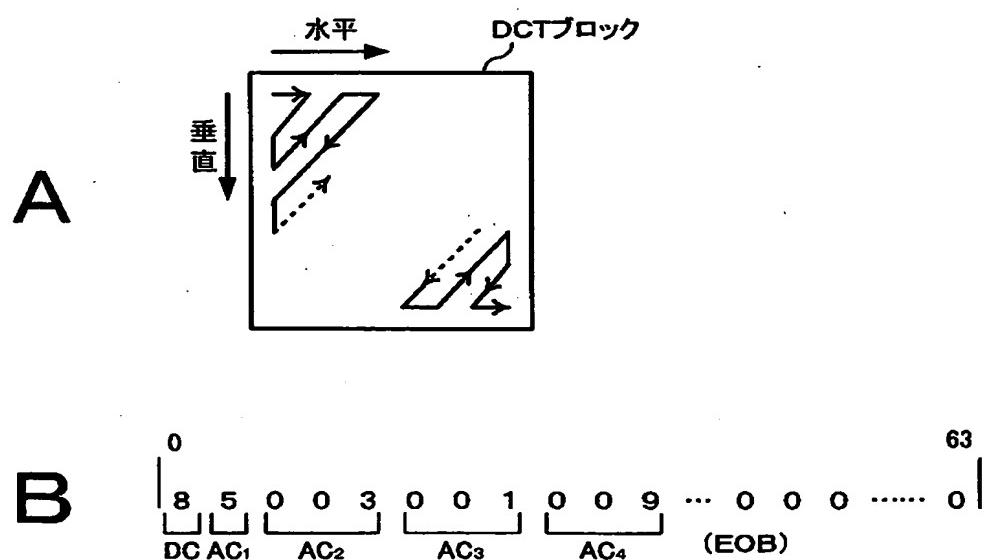
【図18】



【図19】

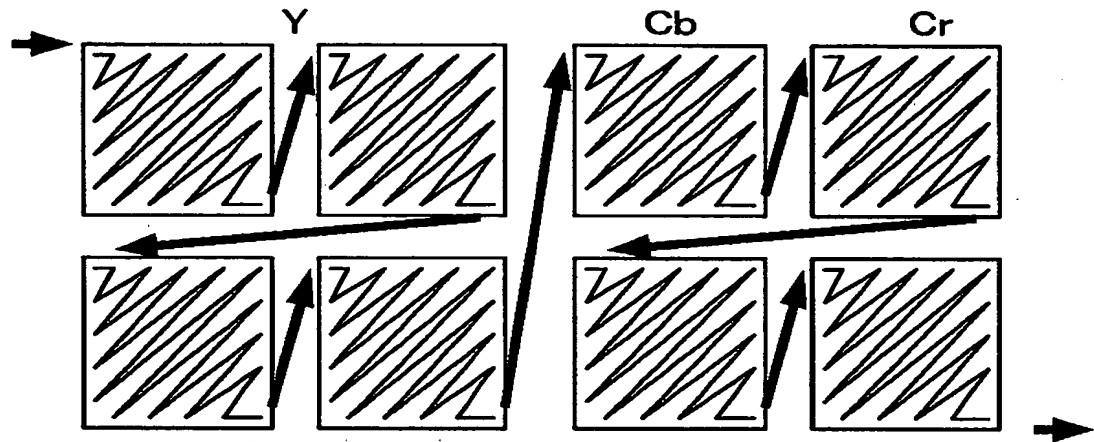


【図20】

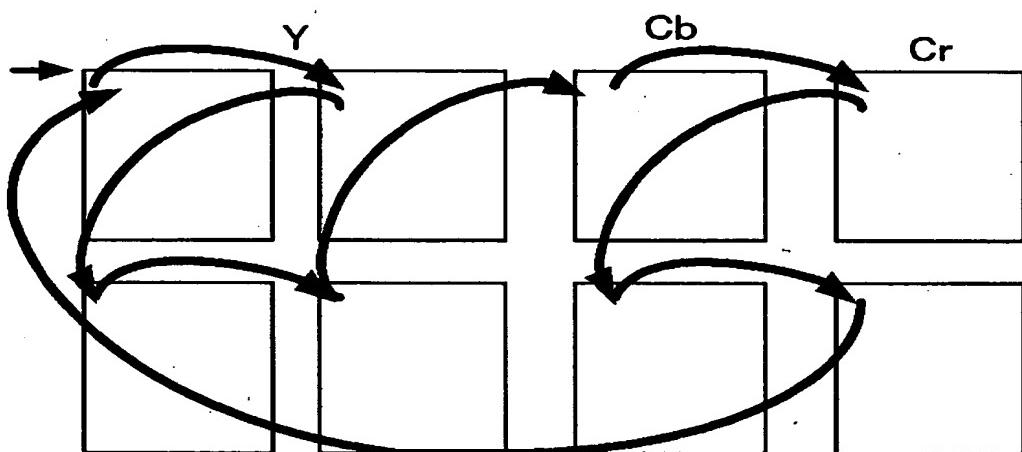


【図21】

A

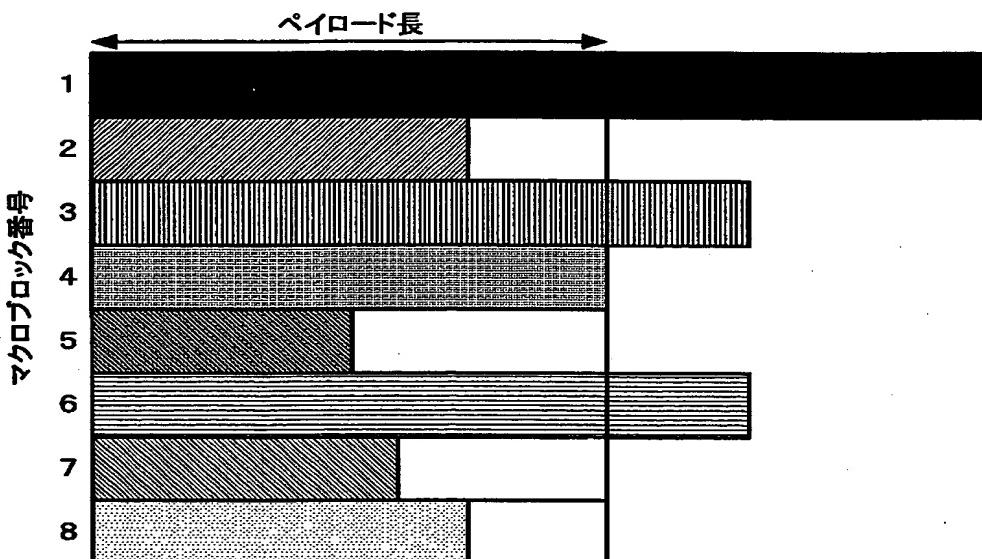


B

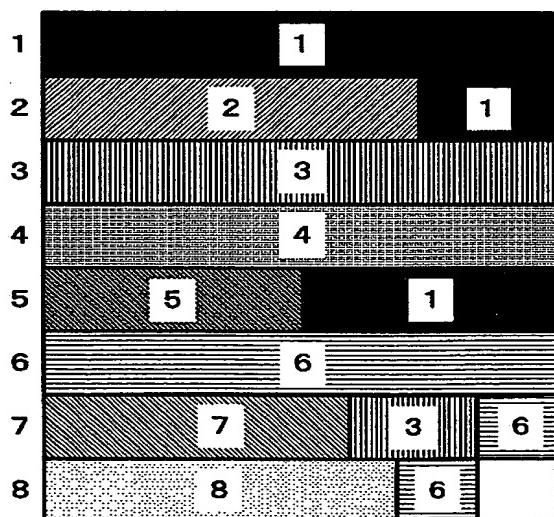


【図22】

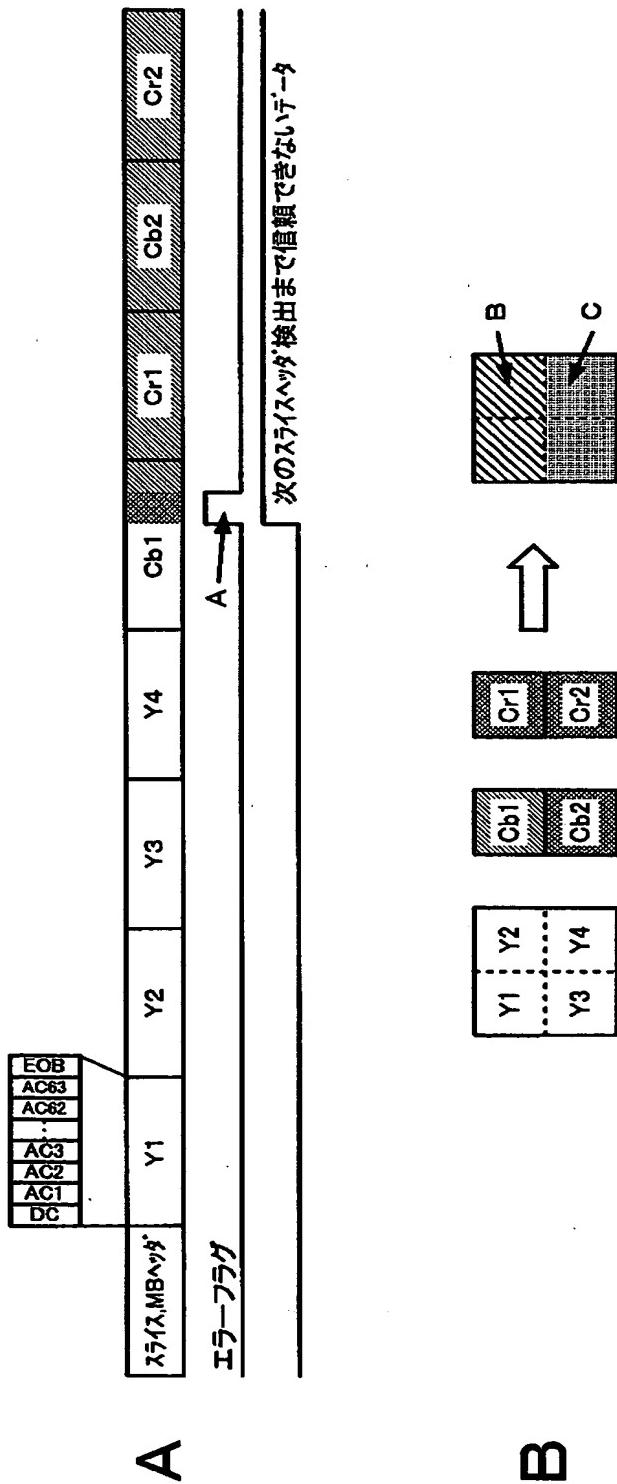
A



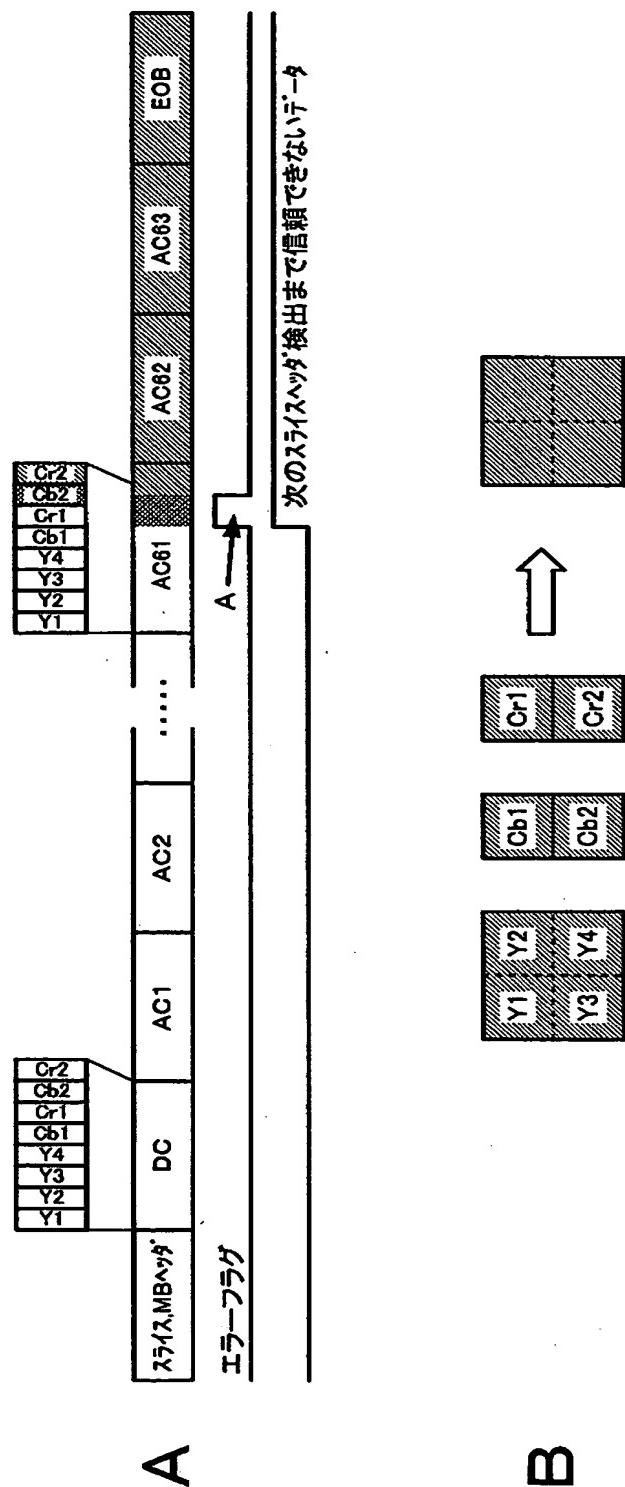
B



【図23】



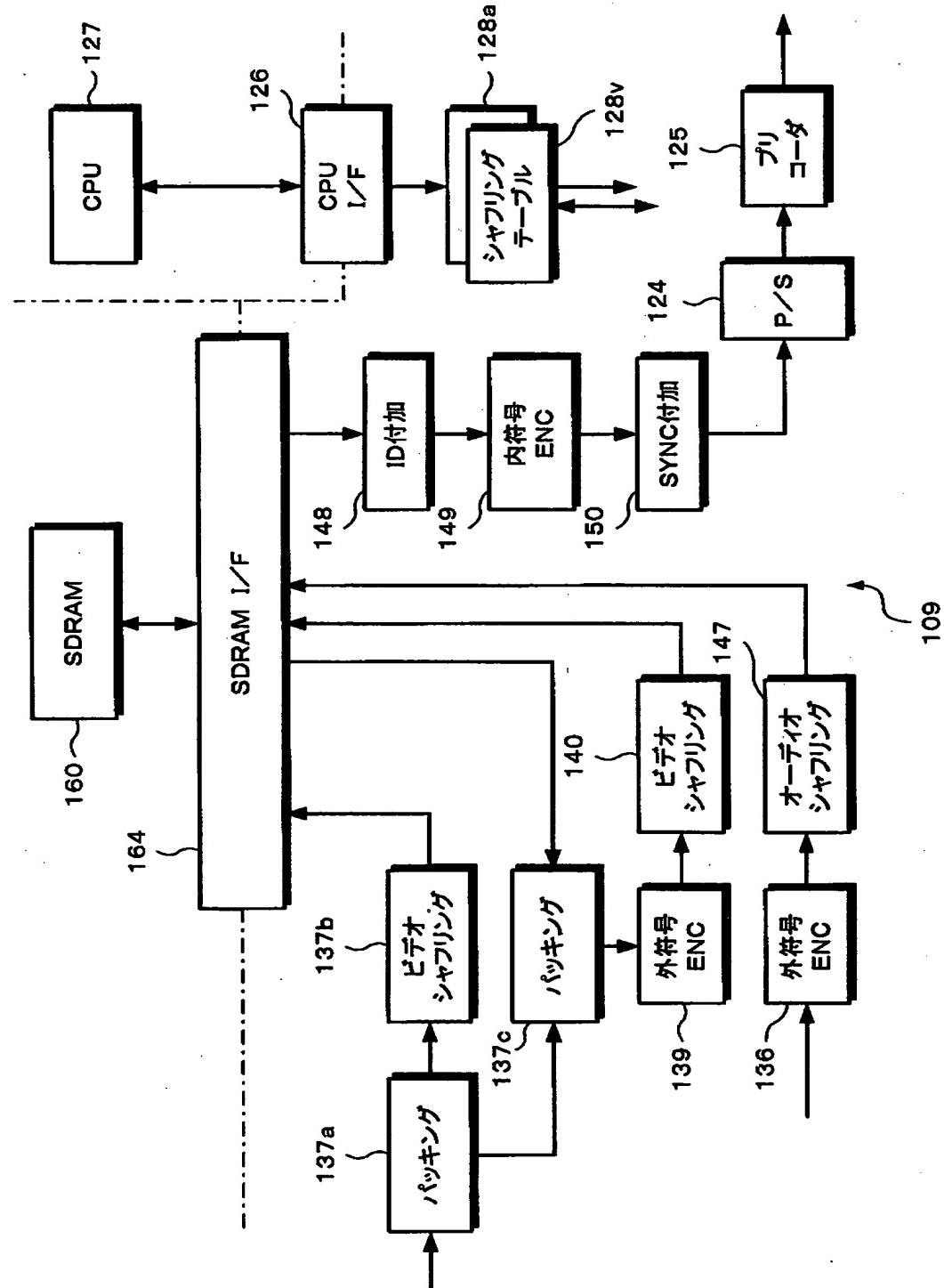
【図24】



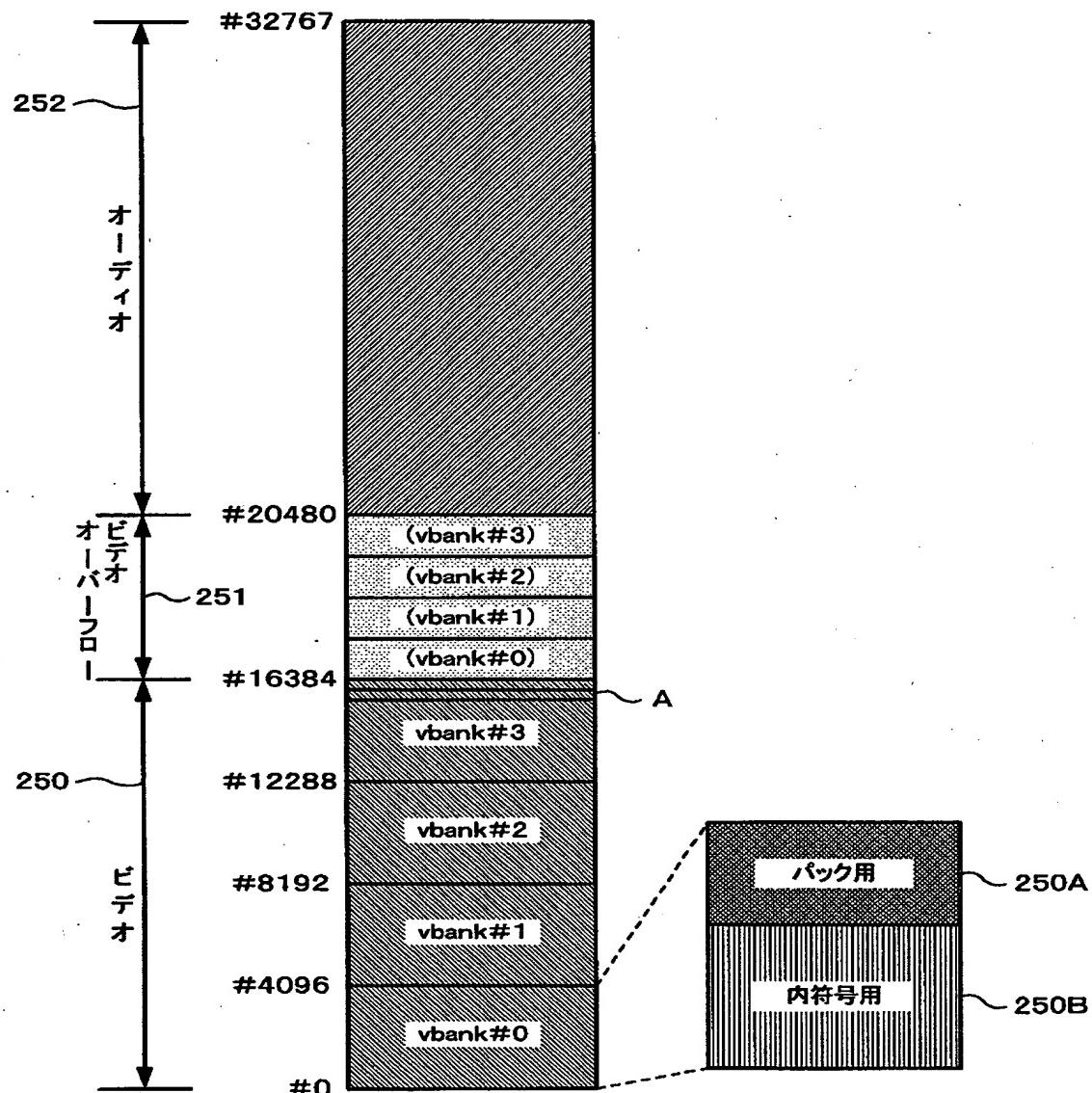
A

B

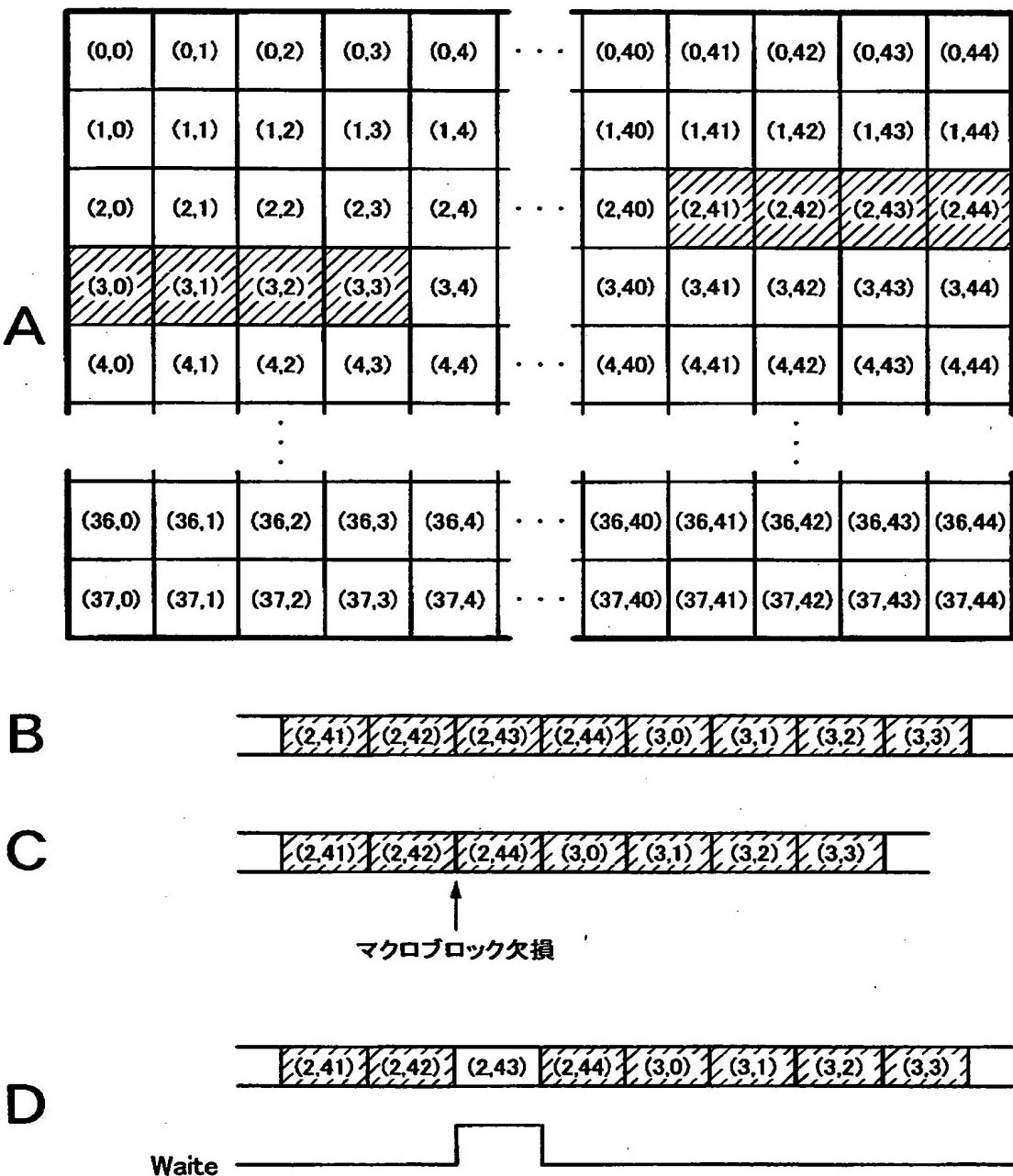
【図25】



【図26】

160

【図27】



【図28】

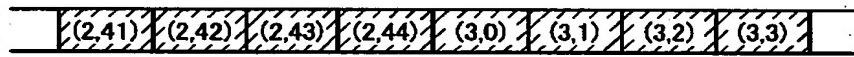
項目	値	内容
slice_start_code	32'h 00 00 01 03	(03は、画面上のmb_rowから作成)
quantizer_scale_code	5'b 1 0000	
extra_bit_slice	1'b 0	(画面上のmb_columnから作成)
macroblock_escape	11'b 0000_00001_0000	(画面上のmb_columnから作成)
macroblock_address_increment	8'b 0000_1010	(画面上のmb_columnから作成)
macroblock_type	1'b 1	
dct_type	1'b 1	
dct_dc_size_luminance	3'b 100	Y1 DC
eob	4'b 0110	
dct_dc_size_luminance	3'b 100	Y2 DC
eob	4'b 0110	
dct_dc_size_luminance	3'b 100	Y3 DC
eob	4'b 0110	
dct_dc_size_luminance	3'b 100	Y4 DC
eob	4'b 0110	
dct_dc_size_chrominance	2'b 00	Cb1 DC
eob	4'b 0110	
dct_dc_size_chrominance	2'b 00	Cr1 DC
eob	4'b 0110	
dct_dc_size_chrominance	2'b 00	Cb2 DC
eob	4'b 0110	
dct_dc_size_chrominance	2'b 00	Cr2 DC
eob	4'b 0110	

【図29】

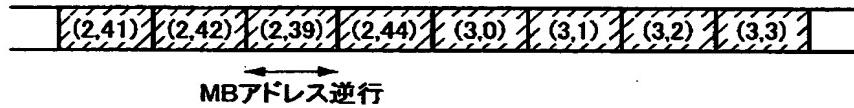
A

(0,0)	(0,1)	(0,2)	(0,3)	(0,4)	...	(0,40)	(0,41)	(0,42)	(0,43)	(0,44)
(1,0)	(1,1)	(1,2)	(1,3)	(1,4)	...	(1,40)	(1,41)	(1,42)	(1,43)	(1,44)
(2,0)	(2,1)	(2,2)	(2,3)	(2,4)	...	(2,40)	(2,41)	(2,42)	(2,43)	(2,44)
(3,0)	(3,1)	(3,2)	(3,3)	(3,4)	...	(3,40)	(3,41)	(3,42)	(3,43)	(3,44)
(4,0)	(4,1)	(4,2)	(4,3)	(4,4)	...	(4,40)	(4,41)	(4,42)	(4,43)	(4,44)
(36,0)	(36,1)	(36,2)	(36,3)	(36,4)	...	(36,40)	(36,41)	(36,42)	(36,43)	(36,44)
(37,0)	(37,1)	(37,2)	(37,3)	(37,4)	...	(37,40)	(37,41)	(37,42)	(37,43)	(37,44)

B



C

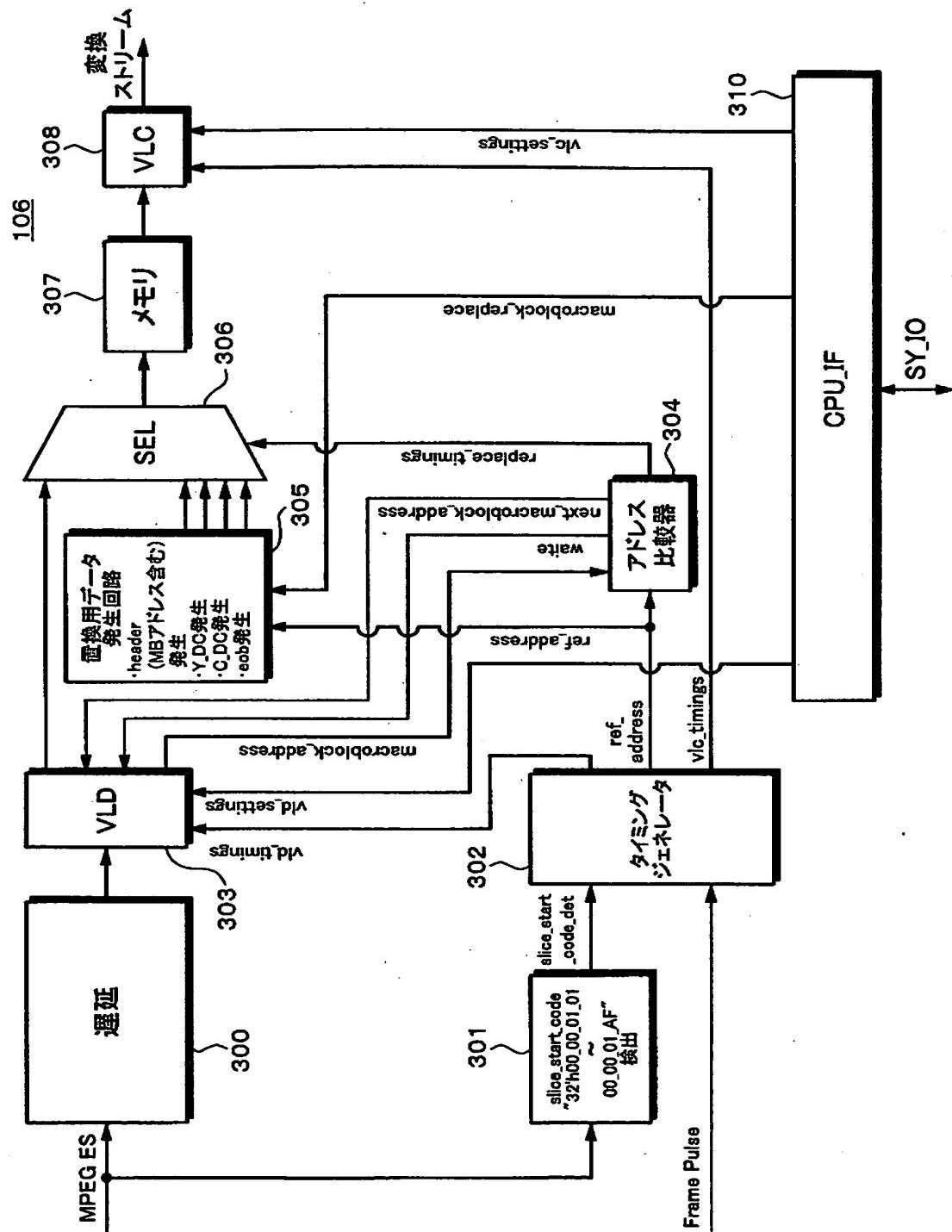


↔ MBアドレス逆行

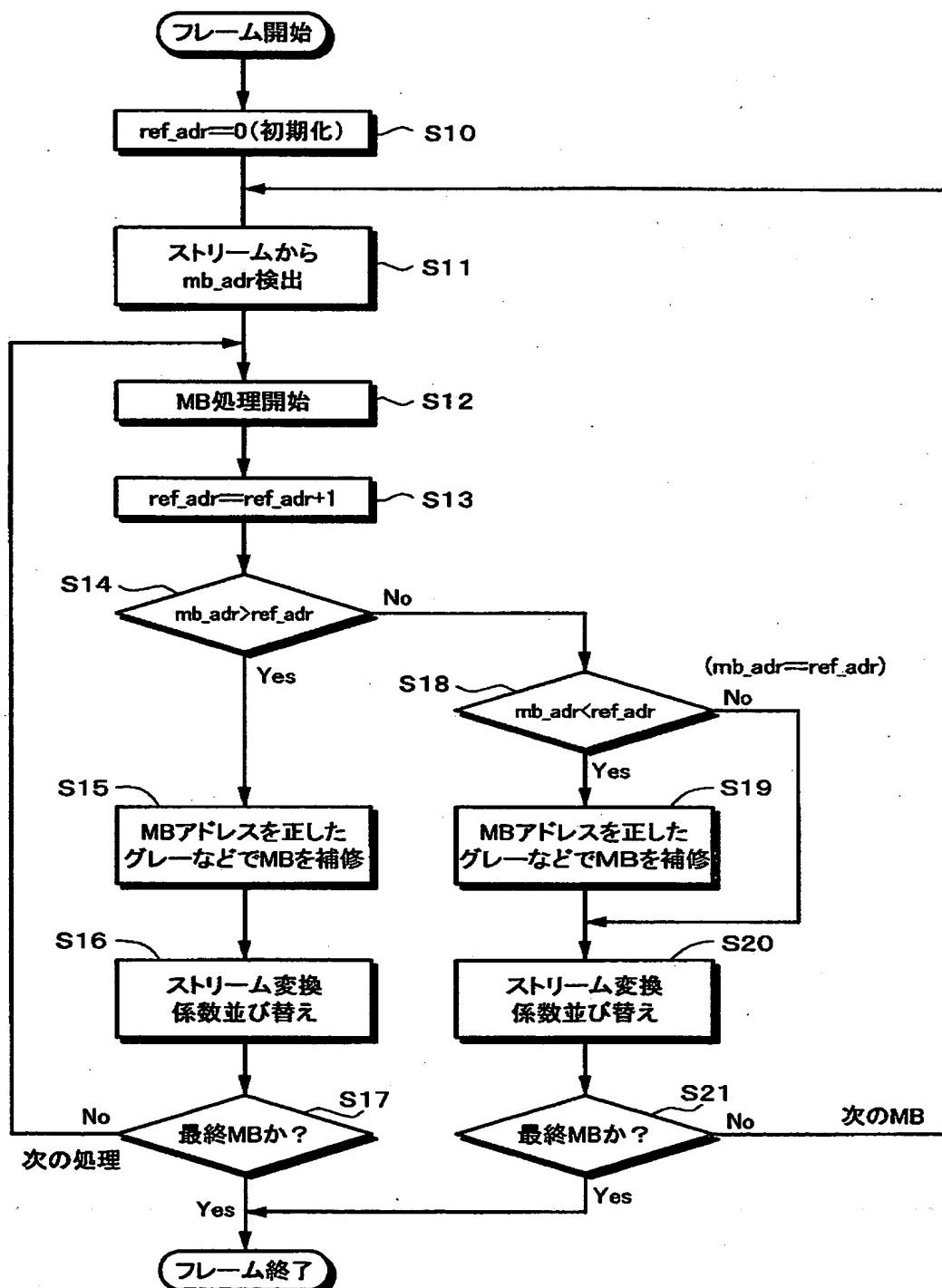
D

next\_macroblock  
address

【図30】



【図31】

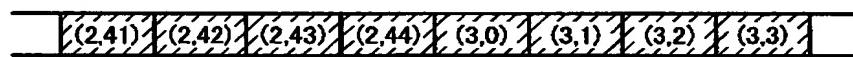


【図32】

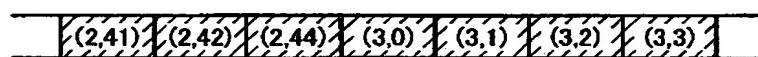
A

(0,0)	(0,1)	(0,2)	(0,3)	(0,4)	...	(0,40)	(0,41)	(0,42)	(0,43)	(0,44)
(1,0)	(1,1)	(1,2)	(1,3)	(1,4)	...	(1,40)	(1,41)	(1,42)	(1,43)	(1,44)
(2,0)	(2,1)	(2,2)	(2,3)	(2,4)	...	(2,40)	(2,41)	(2,42)	(2,43)	(2,44)
(3,0)	(3,1)	(3,2)	(3,3)	(3,4)	...	(3,40)	(3,41)	(3,42)	(3,43)	(3,44)
(4,0)	(4,1)	(4,2)	(4,3)	(4,4)	...	(4,40)	(4,41)	(4,42)	(4,43)	(4,44)
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
(36,0)	(36,1)	(36,2)	(36,3)	(36,4)	...	(36,40)	(36,41)	(36,42)	(36,43)	(36,44)
(37,0)	(37,1)	(37,2)	(37,3)	(37,4)	...	(37,40)	(37,41)	(37,42)	(37,43)	(37,44)

B



C



↑  
マクロブロック欠損

【書類名】 要約書

【要約】

【課題】 MPEGストリームのIピクチャの入力の際に、マクロブロックが不連続であっても安定的に処理を行えるようにする。

【解決手段】 検出回路301によって、入力ストリームからスライススタートコードが検出される。この検出結果とフレームパルスとに基づきタイミングジェネレータ302によって生成された基準MBアドレスが、アドレス比較器304に供給される。一方、遅延回路300で位相調整された入力ストリームがVLD303に供給され、可変長符号が解かれてMBアドレスが検出される。アドレス比較器304では、基準MBアドレスとMBアドレスとが比較され、MBアドレスの連續性がチェックされる。不連続であれば、例えばVLD303から出力されるストリームが一時的に停止されると共に、アドレス比較器304から出力される制御信号により、セレクタ306で置換用データ発生回路305側が選択される。入力ストリームは、マクロブロックが不連続な部分で、置換用データ発生回路305において予め用意された、正しいMBアドレスを有するマクロブロックデータに置き換えられる。

【選択図】 図30

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社